علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۳، شماره ۱ (الف)، بهار ۱۳۸۴
صفحات ۴۵- ۵۰
**مقاله کوتاه**

# دروازه های منطقی بسیار سریع مدجریان

کیوان ناوی [۱] محسن کاظمی پارسا [۲] آرش قربان نیا دلاور [۲]

[۱] دانشکده مهندسی برق و کامپیوتر و مرکز تحقیقات میکروالکترونیک دانشگاه شهید بهشتی، تهران، ایران
[۲] مرکزتحقیقات میکروالکترونیک دانشگاه شهید بهشتی و واحد علوم و تحقیقات حصارک،تهران، ایران

**چکیده**

در این مقاله پس از بررسی دروازه های منطقی مد جریان *CMOS* و*BiCMOS* به مدارات بهبود یافته ای با تکنولوژی *BiCMOS* دست یافته ایم. در تمامی این دروازه های منطقی از آشکارساز آستانه و مبدل ولتاژ به جریان استفاده شده که در روش جدید بخش هایی از مدارات مد جریان *BiCMOS* بدون تغییر در منطق عملیاتی مدار حذف گردیده و مدارهای بهینه ای از این خانواده معرفی گردیده اند. در مدار های فوق از نظر سرعت افزایش و از نظر تعداد ترانزیستور مصرفی کاهش قابل ملاحظه ای حاصل گردیده است.

**کلمات کلیدی:** *BiCMOS* ، منطق‌های چند مقداری، *VLSI*، راندن بار خازنی بزرگ

## ۱- مقدمه

مدارات مد جریان برای سالیان متمادی رقبای جدی مدارات مد ولتاژ محسوب شده اند. در ادبیات *VLSI* تا کنون گزارش های متعددی پیرامون کاهش تعداد ترانزیستورها، فشرده سازی مدارات و افزایش سرعت در طرح های گوناگون به چاپ رسیده است، اما بعنوان یک نقطه ضعف اساسی مدارات مد جریان، می توان به از دست دادن کارآیی به هنگام اعمال بار خازنی بزرگ اشاره نمود. این مساله در مد جریان با استفاده از تکنولوژی *BiCMOS* بطور چشمگیری بهبود یافته، ضمن آنکه حاصل این تکنولوژی، دروازه های منطقی با کاهش تعداد ترانزیستور و افزایش سرعت نیز می باشد. در این مقاله سعی شده با استفاده از تکنولوژی فوق و با ابتکاری نو به بهبود شاخص های مذکور (افزایش سرعت، کاهش تعداد ترانزیستور ها) دست یابیم، که ذیلا به تشریح آن پرداخته می شود.

## ۲- مدارات مد جریان

در حال حاضر مدارات مختلفی در مد جریان [۱،۲،۳] با تکنولوژی‌های *CMOS* و*ECL-CML* ارائه گردیده اند، اگر چه این مدارات از لحاظ فشرده‌سازی از مدارات مشابه مد ولتاژ بهتر هستند، اما اشکال اساسی آنها هنگامی بروز می‌کند که مقدار بار خازنی بزرگ (حدود ۶۰۰۰ برابر خازن واحد *Gate*) به آنها اعمال شود. در این مقاله هدف، رفع این اشکال و کمک به افزایش سرعت می‌باشد.

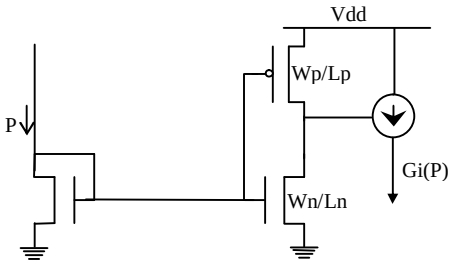
پارامترهای استفاده شده برای شبیه‌سازی با تکنولوژی ۰/۱۳ µm بصورت جدول ۱ می باشد. در این مدارها به اتفاق، از آشکارسازهای آستانه استفاده شده است، که وظیفه مشخص نمودن سطوح مختلف جریان را دارا می‌باشند. و به تبع آن سطوح مختلف منطق نیز، مشخص می‌گردد.

جدول ۱- پارامتر های تکنولوژی ۰/۱۳ um

| | | |
|---|---|---|
| NPN | | |
| | Ft (GHz) | 200/80 |
| | Fmax (GHz) | 220/160 |
| | BVceo (V) | 2.0/3.5 |
| CMOS | | |
| | Vdd (V) | 3.3/1.2 |
| | Lmin (um) | 0.13 |
| Resistors | Rs (ohm/sq) | 245/25 |
| Capacitor | C (fF/mm2) | 2 / 4 |
| Routing | # Layers | 6 |
| Top Metal | Thickness (um) | 3 |

شکل ۱ یک آشکارساز آستانه را نشان می‌دهد. خروجی آشکار ساز آستانه به گیت یک ترانزیستور *PMOS* متصل شده است تا این ولتاژ خروجی را به جریان تبدیل نماید.

جدول ۲ سطوح مختلف جریان و نسبت *W/L* را در ترانزیستورها مشخص می‌کند. در مدارات چند مقداری توابع زیر تعریف می‌شوند.




شکل ۱- آشکار ساز آستانه

$X^j \in (0,1)$ , $X \in (0,1,2,\ldots,m-1)$
$X^j = 1$ IF $X = j$ , $X^j = 0$ IF $X \neq j$
$G_j , L_j \in (0,1)$ , $X \in (0,1,2,\ldots,m-1)$
$G_j(x) = 1$ IF $X > j$ else $= 0$
$L_j(x) = 1$ IF $X \leq j$ else $= 0$

به عنوان یک نتیجه گیری عمومی صرف نظر از تشریح جزئیات با شبیه‌سازی های متعدد و مطالعه طراحی‌های مختلف [۴-۱۰] این نتیجه حاصل گردیده که می‌توان با تغییر و دستکاری نسبت $(W/L)pu$ ، $(W/L)pd$ ، در دروازهای معکوس کننده ***CMOS*** و استفاده از یک ترانزیستور ***PMOS*** به عنوان ***Source*** جریان و یا ***NMOS*** به عنوان ***Sink*** آن، عمل آشکارساز آستانه و تبدیل ولتاژ به جریان را پیاده‌سازی نماییم. که این موضوع اساس عملکرد مدارات مد جریان می باشند.

جدول ۲- سطوح مختلف جریان و نسبت ***W/L***

جدول ۲- (الف) نمونه آشکارساز برای آستانه ( سطح ۰ )

| | Threshold 0-1 | Threshold 1-2 | Threshold 2-3 |
|---|---|---|---|
| $W_n / L_n$ | 0.26 / 0.13 | 0.13 / 0.13 | 0.13 / 0.195 |
| $W_p / L_p$ | 0.13 / 0.13 | 0.13 / 0.13 | 0.26 / 0.26 |
| Threshold current | 10µA | 30µA | 50µA |

جدول ۲- (ب) نمونه آشکارساز برای آستانه ( سطح ۱ )

| | Threshold 0-1 | Threshold 1-2 | Threshold 2-3 |
|---|---|---|---|
| $W_n / L_n$ | 0.13 / 0.13 | 0.195 / 0.13 | 0.13 / 0.13 |
| $W_p / L_p$ | 0.13 / 0.195 | 0.13 / 0.195 | 0.78 / 0.13 |
| Threshold current | 44µA | 84µA | 134µA |

جدول ۲- (ج) نمونه آشکارساز برای آستانه ( سطح ۲ )

| | Threshold 0-1 | Threshold 1-2 | Threshold 2-3 |
|---|---|---|---|
| $W_n / L_n$ | 0.195 / 0.195 | 0.195 / 0.13 | 0.13 / 0.13 |
| $W_p / L_p$ | 0.13 / 0.26 | 0.39 / 0.13 | 0.585 / 0.13 |
| Threshold current | 18µA | 47µA | 72µA |

جدول شماره ۳ تاخیر در انواع پیاده سازی G0 تا G2 را نشان می دهد.

جدول ۳- چند نوع پیاده‌سازی ***G0*** تا ***G2***

جدول ۳- (الف) تست مدارهای تاخیر برای سطح ۰

| Test Circuit | Tdr (Rising Edges) | Tdf (Fanning Edges) |
|---|---|---|
| G0 | 0.42 ns | 0.2 ns |
| G1 | 0.33 ns | 0.46 ns |
| G2 | 0.4 ns | 0.73 ns |

جدول ۳ – (ب) تست مدارهای تاخیر برای سطح ۱

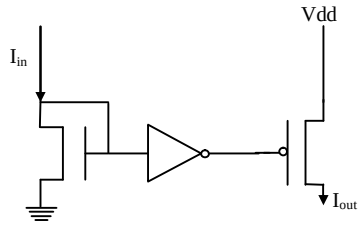
| Test Circuit | Tdr (Rising Edges) | Tdf (Fanning Edges) |
|---|---|---|
| G0 | 0.28 ns | 0.26 ns |
| G1 | 0.17 ns | 0.17 ns |
| G2 | 0.17 ns | 0.36 ns |

جدول ۳ – (ج) تست مدارهای تاخیر برای سطح ۲

| Test Circuit | Tdr (Rising Edges) | Tdf (Fanning Edges) |
|---|---|---|
| G0 | 0.44 ns | 0.13 ns |
| G1 | 0.22 ns | 0.26 ns |
| G2 | 0.16 ns | 0.26 ns |

## ۳- مدارات ***BiCMOS*** مد جریان

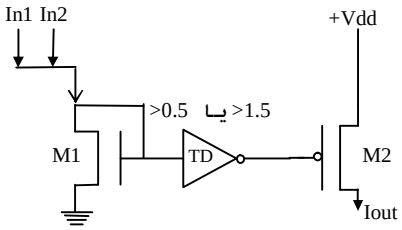
در مدارهای منطقی مد ولتاژ کمیت تغییر پذیر همانا ولتاژ است. به طور مثال برای نمایش صفر منطقی از صفر ولت و برای نمایش یک منطقی از ۵ ، ۳/۳ ، ۲/۱ و یا ۱/۲ ولت، یا هر ولتاژ دیگر استفاده می‌شود. اما می‌توان از جریان نیز، بعنوان کمیت تغییرپذیر استفاده نمود. اولویت اصلی مد جریان به مد ولتاژ اینست که عمل جمع در مد جریان به صورت رایگان صورت می‌گیرد[۱۱- ۱۵]. کافیست چند سیم با جریانهای مختلف بهم اتصال کوتاه شوند. در خروجی جمع جبری این چند جریان وجود خواهد داشت. اما در مد ولتاژ، از اتصال کوتاه کردن خروجی ها در مدارات ***BiCMOS*** پرهیز می‌کنیم. همانطور که اشاره شد استفاده از جریان بجای ولتاژ بعنوان کمیت تغییرپذیر امکان‌پذیر است. البته طبیعی است که طراحی در مدارات مد جریان بگونه‌ای دیگر باید ارائه شود. مسئله‌ای که در رابطه با مد جریان وجود دارد اینست که این مد معمولاً به نویز حساس‌تر می‌باشد. و از طرفی با تغییر تکنولوژی، طراحی نیز باید تا حدودی تغییر کند و بعضاً باید بکلی دگرگون شود. این مسئله در طراحیهای مد ولتاژ کمتر به چشم می‌خورد و با مراعات قوانین طراحی $l$ یا آنچه که کارخانه سازنده دیکته کرده است، دگرگونی خاصی مورد نیاز نیست. اما آنچه مد جریان را بشدت جذاب می‌کند اینست که در مورد سیستم اعداد با ارقام علامت‌دار که در آن هر بیت دارای علامت است، از جهت جریان می‌توان برای این نمایش استفاده کرد و لازم نیست که یک بیت اضافی جهت نمایش علامت مصرف گردد. موضوع بسیار جالب دیگر این است، که در مدارهای مد جریان با حضور یک آشکارساز آستانه و تغییرات آستانه و همچنین افزایش یا کاهش تعداد ورودی ها می توان به مدارات مختلفی دست یافت. شکل ۲ یک مدار پایه، برای مدارات منطقی مختلف از قبیل ***AND*** دو ورودی، ***AND*** سه ورودی و ... و ***n AND*** ورودی و ***OR*** دو ورودی، ***OR*** سه ورودی و... و ***n OR*** ورودی و دیگر مدارهای منطقی لازم از قبیل تابع اکثریت و ... را نشان می‌دهد.




شکل۲- مدار پایه برای پیاده‌سازی توابع منطقی مختلف

$I_{in}$ می‌تواند ضریبی از جریان واحد باشد، بدین معنی که می تواند نمایانگر دو، سه، چهار و ... منطقی باشد. برای سادگی در درک این مطلب می‌توان $I_{in}$ را به ورودیهای مختلف تجزیه کرد. مثلاً دو یا سه و...$n$ ورودی با جریان واحد بجای یک $I_{in}$ با جریان های متفاوت.

شکل ۳ پیاده سازی دروازه های *AND/OR* را نشان می‌دهد. ترانزیستور *M1* در واقع به منظور ایجاد جمع جبری دو ورودی $I_{n2}$،$I_{n1}$ استفاده شده است. عنصر آشکار ساز آستانه که بوسیله نمایشی شبیه یک معکوس کننده نشان داده شده که در آن حروف *TD* (*Threshold Detector*) نوشته شده است هرگاه که جمع جبری ورودیها از نیم منطقی بیشتر شود از *High* به *low* تغییر حالت می‌دهد که باعث فعال شدن ترانزیستور *PMOS* می‌گردد و دروازه *OR* را خواهیم داشت؛ و اگر این معکوس کننده بصورتی تنظیم شود که این تغییر حالت با حاصل شدن مجموع یک و نیم در جمع جبری ورودی ها صورت گیرد، دروازه *AND* خواهیم داشت.




شکل ۳- پیاده سازی دروازه های*AND/OR* دو ورودی مد جریان

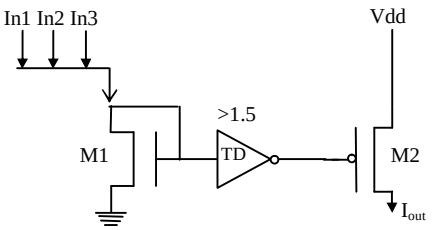
جدول ۴، جدول صحت این دروازه ها را نشان می‌دهد.

جدول ۴- جدول صحت*AND* و *OR* دو ورودی مد جریان

| $S_{in}$ | دروازه | | جریان | جریان خروجی | |
|---|---|---|---|---|---|
| | $OR_2$ | $AND_2$ | ورودی | $OR_2$ | $AND_2$ |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0.5 | 0 | 0 | 30 *mA* | 0 | 0 |
| 1 | 1 | 0 | 60 *mA* | 60 *mA* | 0 |
| 2 | 1 | 1 | 120 *mA* | 60 *mA* | 60 *mA* |

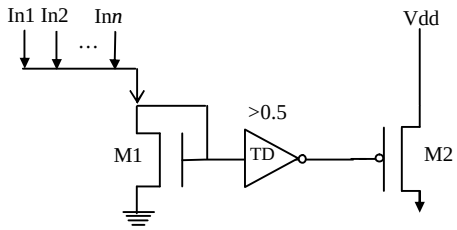
شکل ۴ پیاده سازی تابع اکثریت *(Majority)* را نشان می دهد و رابطه زیر نیز بیانگر خروجی مدار می باشد:

$$I_{n1} I_{n2} + I_{n1} I_{n3} + I_{n2} I_{n3}$$




شکل ۴- تابع اکثریت

قابلیت های ذکر شده در مدارات مد جریان، و بخصوص کاهش تعداد ترانزیستوراز اهمیت بسیار بالا یی برخوردار می باشد. همچنان که مشاهده مـی شـود سـاختار یکنواخت مدارهای طراحی شده اجازه افزایش تعداد ورودی ها را به سادگی میسـر می سازد، در حالی که این امر در مدارا ت مد ولتاژ تنها بـا افـزایش ترانزیسـتورها امکان پذیر می باشد. به طور مثال در مورد دروازه *OR* فقط کافیسـت کـه تعـداد ورودیها را زیاد کنیم و *OR* های با تعداد ورودی بیشتر داشته باشیم. شکل ۵ یک مدار *OR* چند ورودی را نشان می‌دهد. با توجه به شـکل در مـی‌یـابیم کـه تنهـا تغییری که در مدار شکل ۳ (*TD>0.5*) صورت گرفته افـزایش تعـداد ورودهـای مدار می‌باشد. در واقع هیچ تغییر خاصی صورت نگرفته و طراح با قابلیت های ذکر شده در مد جریان، عیناً همان مدار را تحویل سازنده تراشه می‌دهد. ورودی مـدار، فقط یک سیستم آلومینیمی یا پلی سـیلیکونی مـی‌باشـد و ایـن موضـوع دسـت استفاده کننده را در تعیین تعداد ورودی به سیستم باز می کند.



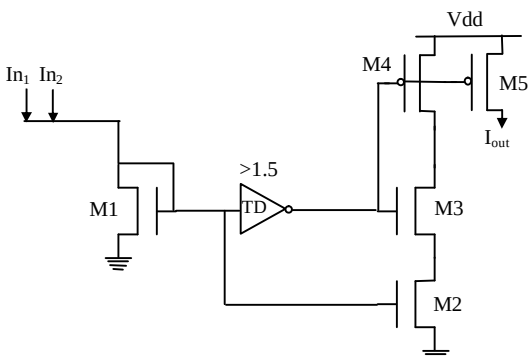

شکل ۵- مدار *n OR* ورودی بدون تغییر در ساختار مدار *OR* دو ورودی

آنچه در واقعیت می‌گذرد اندکی با محاسبات متـداول متفـاوت اسـت، و بعضـاً بـر خلاف انتظار از جمع دو جریان یـک منطقـی، دو منطقـی بدسـت نمـی‌آیـد. ایـن اختلاف با افزایش تعداد ورودیها زیاد می‌شود ولی کوچکترین اهمیتی ندارد چرا که مـدار *OR* بـه محـض مشـاهده اولـین یـک منطقـی تغییـر حالـت خواهـد داد. خوشبختانه در رابطه با صفر منطقی نیز همواره جریان های نشتی به حدی کوچک است که قابل صرف نظر کردن می‌باشد. جدول ۵ جدول صحت این مدار *n* ورودی را نمایش می‌دهد. با افزایش تعداد ورودی ها و برای مقادیر $n$>۲ میـزان کـاهش حاصل از نشتی جمع جبری ورودی ها رو به افزایش می نهد. همـانطور کـه اشـاره شده آشکارساز آستانه به محض مشاهده اولین یک ورودی تغییر حالـت مـی‌دهـد. مقدار خطا در صفر منطقی آنقدر کوچک است که از آن برای تجزیه و تحلیل صرف نظر می‌کنیم. میزان تعیین شده برای آشـکار سـاز آسـتانه ۰/۵منطقـی اسـت کـه معادل جریانی آن ۳۰ *mA* است. مقدار خطای صفر تا ورودی ۷ کـه عمـلاً مـورد استفاده قرار گرفته است برابر با ۵ *mA* می‌باشد. که کاملاً قابل صرف نظر می‌باشد.

جدول ۵- جدول صحت *OR n* ورودی

| $S_{in}$ | $OR_n$ | جریان ورودی | جریان خروجی |
|---|---|---|---|
| 0 | 0 | *0+Error(0)* | 0 |
| 1 | 1 | 60 *mA* | 60 *mA* |
| 2 | 1 | 120 *mA* | 60 *mA* |
| 3 | 1 | 175 *mA* | 60 *mA* |
| ⋮ | ⋮ | ⋮ | ⋮ |
| *n* | 1 | *n*60-error(n)* | 60 *mA* |

شکل ۶ مدار یک *XOR* دو ورودی با استفاده از یک آشکار ساز آستانه (۱/۵ *TD* >) را نشان می‌دهد.




شکل ۶- مدار بهینه دروازه *XOR* دوورودی

اگر جمع جبری $In_2$ ، $In_1$ بیشتر از ۱/۵منطقی باشد خروجی آشکارسـاز آسـتانه تغییر حالت می‌دهد. در صورتیکه جمع جبری ورودی ها صفر باشـند در خروجـی جریانی نخواهیم داشت. در صورتیکه جمع ورودیها برابر یک گردد چـون خروجـی

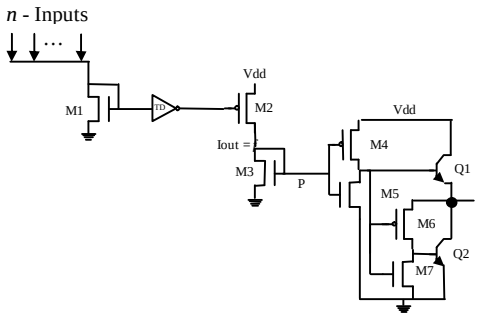
*TD* برابر *High* است بنابراین ترانزیستور $M_3$ روشن می‌باشد جریان ورودی از طریق آیینه جریان $(M_1,M_2)$ کپی می‌شود و در نهایت جریان ورودی عیناً در خروجی کپی می‌گردد. یعنی در خروجی یک منطقی را خواهیم داشت. هنگامیکه جمع دو ورودی از ۱/۵ منطقی بیشتر شد یعنی زمانیکه دو ورودی برابر یک منطقی باشند خروجی آشکار ساز آستانه تغییر حالت می‌دهد و *Low* می‌گردد. ترانزیستور $M_3$ قطع می‌گردد و دیگر در خروجی جریانی کپی نخواهد شد. جدول ۶ جدول صحت این مدار *XOR* دو ورودی را نمایش می‌دهد.

جدول ۶- جدول صحت *XOR* دو ورودی

| $S_{in}$ | $XOR_2$ | جریان ورودی | جریان خروجی |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 1 | $60\,m$ A | $60\,m$ A |
| 2 | 0 | $120\,m$ A | 0 |

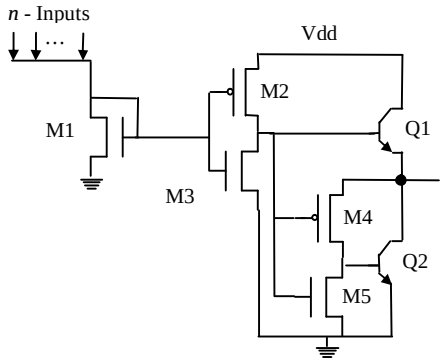
## ۴- طراحی مدارهای *BiCMOS* مد جریان

همانطور که تاکنون اشاره شده بوسیله ساختار واحدی از مجموعه یک *TD*، یک ترانزیستور ورودی *NMOS* و یک ترانزیستور خروجی *PMOS* می‌توان مدارهای مختلفی مثل *OR* چند ورودی ، *AND* چند ورودی ، مدار اکثریت و غیره را پیاده سازی نمود. آنچه مهم است این است که در شرایطی که نیاز به راندن جریان داریم بتوان این کار را به سرعت انجام داد. همانطور که بررسی شد بهترین انتخاب مدارهای *BiCMOS* می‌باشد [۱۶] . شکل ۷ یک طراحی مبتنی بر تکنولوژی *BiCMOS* برای مجموعه مدارات مختلف را نشان می‌دهد.



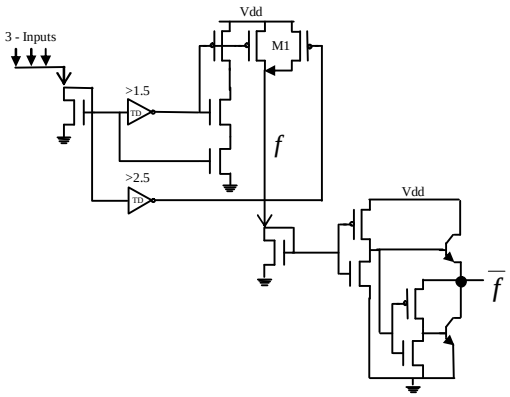

شکل۷- طراحی مدار *BICMOS* مد جریان

جریان $I_{out}$ از طریق ترانزیستور $M_2$ به ترانزیستور $M_3$ اعمال می‌شود. این جریان ولتاژ نقطه *P* را بالا می‌برد در نتیجه ترانزیستور *M4* قطع و ترانزیستور *M5* فعال می شود که به نوبه خود باعث فعال شدن ترانزیستور *M6* و خاموش شدن ترانزیستور *M7* می گردد. در نهایت خروجی این دروازه صفر منطقی خواهد شد و بلعکس در شرایطی که $I_{out}$ برابر صفر منطقی گردد خروجی به یک منطقی تغییر خواهد یافت. حسن این مدار سادگی در طراحی می‌باشد و براحتی می‌توان از *Layout* موجود برای قسمت *BiCMOS* استفاده کرد. در این مدار تنها می توان به این مسئله اشاره نمود که تاخیر این مدار برابر با مجموع تاخیر یک دروازه منطقی مد جریان و یک معکوس کننده استاندارد *BiCMOS* می باشد. نکته این است که می‌توان *TD* را با استفاده از یک معکوس کننده *CMOS* و نسبت دقیق $(W/L)pu$ به $(W/L)pd$ طراحی نمود و در نتیجه یک *TD* و یک ترانزیستور *P* را از این مجموعه حذف نمود که مدار به صورت قابل توجهی سریع می‌گردد .کلیه مدارهای بحث شده را می‌توان با استفاده از تکنیک فوق و با تأخیری قابل مقایسه با یک معکوس کننده *BiCMOS* مد ولتاژ طراحی و پیاده‌سازی نمود. شکل ۸ این طراحی را نشان می‌دهد. در شکل ۸ می‌بینیم که *TD* قبلی حذف گشته و عملکرد آن بوسیله ترانزیستورهای $M_2$, $M_3$ پیاده‌سازی شده است. کافیست نسبت $(W/L)pu$ به $(W/L)pd$ بطور دقیق انتخاب شوند و در واقع مجموعه دو ترانزیستور ($M_3$ , $M_2$) فقط باید عملکرد *TD* را تقلید کنند، مابقی مسائل با استفاده از خروجی *High* یا *low* این معکوس کننده حل خواهد شد. خروجی در نهایت بصورت $\overline{f}$ ارائه می‌گردد.




شکل ۸- طراحی بهبود یافته مدار *BiCMOS* ارائه شده

شکل ۹ یک مدار *XOR* سه ورودی *BiCMOS* مد جریان را نشان می‌دهد.



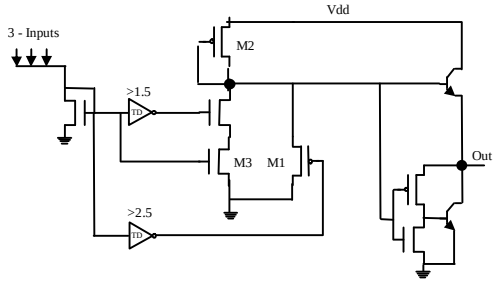

شکل ۹- *XOR* سه ورودی مد جریان *BiCMOS*

تفاوت این مدار با *XOR* دو ورودی در این است که اگر ورودی بیش از ۲/۵منطقی بود دوباره از طریق ترانزیستور $M_1$ (*TD* >۱/۵) جریانی برابر با یک منطقی به سیستم اعمال می‌شود. ایراد این مدار حضور آیینه‌های جریان زیاد می‌باشد که سیستم را کند می‌کند. جدول ۷ جدول صحت مدار را نشان می‌دهد.

جدول ۷- جدول صحت دروازه *XOR* سه ورودی مد جریان *BiCMOS*

| منطق ورودی | جریان ورودی | جریان $f$ | منطق $\overline{f}$ |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 1 | 60 µA | 60 µA | 0 |
| 2 | 120 µA | 0 | 1 |
| 3 | 175 µA | 60 µA | 0 |

شکل ۱۰ مدار بهبودیافته طراحی قبلی *XOR* سه ورودی را با منطق جدید ارائه شده نمایش می دهد.




شکل ۱۰- مدار بهبود یافته طراحی *XOR* سه ورودی

در طراحی شکل ۱۰ دو آیینه جریان و یک دروازه معکوس کننده *CMOS* حذف گردیده که کاهش تأخیر قابل ملاحظه‌ای حاصل گردیده است. توجه به این نکته ضروری است که $(W/L)$ ترانزیستور $M_1$ خیلی کمتر از ترانزیستور $M_2$ می‌باشد چرا که در حالت $\sum_{in} = ۱$ جریان عبوری از $M_2$ برابر با یک منطقی $(۳۰\ mA)$ می‌باشد ولی در حالت $\sum_{in} = ۳$ طبیعی است که ماکزیمم جریان قابل عبور از ترانزیستور $M_2$ سه برابر جریان معادل یک منطقی خواهد بود و به طریقی باید این جریان محدود شود. با کم کردن نسبت $(W/L)$ ترانزیستور $M_1$ این مسئله حل خواهد شد. در عمل اگر مدار *BiCMOS* طراحی شده در سیستمهای دیجیتالی مد ولتاژ بکار رود احتیاج به کم کردن این مقدار نیست چرا که همواره ولتاژ خروجی برابر با $V_{dd}$-$v_{be}$ خواهد بود. جدول ۸ مقایسه تاخیر مدارات منطقی مختلف *BiCMOS* مد ولتاژ و *BiCMOS* مد جریان را نشان می دهد.

جدول ۸- میزان افزایش سرعت در مد جریان، نسبت به مد ولتاژ

| مدار / افزایش سرعت | *NOR* | *NAND* | XOR |
|---|---|---|---|
| حداکثر افزایش سرعت | %15 | %14 | %6 |
| حداقل افزایش سرعت | %12 | %13 | %17 |

بنابر شبیه سازی های صورت یافته و همچنانکه مشاهده می شود نسبت های فوق نشانگر افزایش قابل ملاحظه سرعت در مد جریان نسبت به مد ولتاژ می باشد. همچنین در جدول ۹ نیز به بررسی تعداد ترانزیستورهای بکار رفته در مدارهای مختلف *BiCMOS* در مدهای ولتاژ و جریان پرداخته شده است.

جدول ۹- نمایش شمارش تعداد ترانزیستور *MOS* در مدارات *BiCMOS* مد ولتاژ و جریان

| تکنولوژی / مدار | *BiCMOS* مد جریان | *BiCMOS* مد ولتاژ |
|---|---|---|
| *NOR* دو ورودی | 5 | 6 |
| *n NOR* ورودی | 5 | 2*n*+2 |
| *NAND* دو ورودی | 5 | 6 |
| *n NAND* ورودی | 5 | 2*n*+2 |
| *XOR* دو ورودی | 12 | 14 |
| *XOR* سه ورودی | 15 | 24 |
| *XOR* بهبودیافته سه ورودی | 11 | 14 |

جدول ۱۰ مساحت دروازه های مختلف مد جریان و ولتاژ و همچنین درصد بهبود مساحت مد جریان نسبت به مد ولتاژ را نشان می دهد.

جدول ۱۰- مقایسه مساحت در مدارات *BiCMOS* مد ولتاژ با جریان

| تکنولوژی / مدار | *BiCMOS* مد جریان ($\mu m^2$) | *BiCMOS* مد ولتاژ ($\mu m^2$) | درصد بهبود |
|---|---|---|---|
| *NOR* دو ورودی | 2.737 | 3.116 | %12 |
| ⋮ | ⋮ | ⋮ | ⋮ |
| *n NOR* ورودی | 2.737 | 2.052+0.532(*n*) | %100 $n \to \infty$ |
| *NAND* دو ورودی | 2.798 | 3.116 | %10 |
| ⋮ | ⋮ | ⋮ | ⋮ |
| *n NAND* ورودی | 2.671+0.063(*n*) | 2.052+0.532(*n*) | %88 $n \to \infty$ |
| *XOR* دو ورودی | 1.810 | 3.648 | %50 |
| *XOR* سه ورودی | 4.519 | 5.244 | %13 |

## ۵- نتیجه

ما دروازه های منطقی *CMOS* مد جریان ارائه شده را بررسی کردیم و مدارات *BiCMOS* مد جریان چندمقداری جدیدی ارائه نمودیم که به مراتب سریعتر از معادل *BiCMOS* آن در مد ولتاژ به منظور راندن بار خازنی بزرگ عمل می کند. در مورد طراحی *NOR* با تعداد ورودی بسیار زیاد و *NAND* با تعداد ورودی زیاد، در مقایسه با معادل آنها در مد ولتاژ در بهترین حالت، ۱۷% و در بدترین حالت، ۶% افزایش سرعت مشاهده گردیده است. از نظر تعداد ترانزیستور *MOS* مصرفی در دروازه های منطقی، در بدترین حالت، ۱ ترانزیستور و در بهترین حالت، 2*n*-3 ترانزیستور صرفه جویی شده است. نکته قابل توجه این است که در دروازه های *NOR* و *NAND* با افزایش تعداد ورودی ها تعداد ترانزیستور های مصرفی *MOS* تغییری نمی کند.

## مراجع


[1] K. Navi, A. Kazeminejad and D. Etiemble, "Performance of CMOS Current Mode Full Adders," *IEEE Proc. Int'l. Symp. Multiple Valued Logic*, pp. 27-34, 1994.

[2] K. Navi and D. Etiemble, "From Multi-Valued Current Mode CMOS Circuits to Efficient Voltage Mode CMOS Arithmetic Operators," *IEEE Proc. Int'l. Symp. Multiple Valued Logic*, pp. 58-64, 1995.

[3] A. Arfaee and K. Navi and M. Kazemi Parsa and A. Akbari, "Design of High speed 2's complement MAC Unit Using Redundant Number System," *6th Annual Computer Society of Iran Computer Conf.*, 2001.

[4] D. A. Hodges, R. Saleh and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 3nd Edition, Mc-Graw Hill, 2004.

[5] J. M. Rabaey, A. Chandrakasan and B. Nikolic, *Digital Integrated Circuits*, 2nd Edition, Prentice Hall, 2002.

[6] S. H. Gerez, *Algorithms for VLSI Design*, John Wiley, 1999.

[7] C. C. Saint and J. Saint, *IC Mask Design Essential Layout Techniques*, Mc-Graw Hill, 2002.

[8] W. K.Chen, *The VLSI Hand Book*, IEEE Press 2000.

[9] M. M. Vai, *VLSI Design*, CRC 2001.

[10] J. B. Kuo and J. Honglou, *Low - Voltage CMOS VLSI Circuits*, John Willy, 1999.

[11] A. Kazeminejad, K. Navi and D. Etiemble, "CML Current Mode Full Adders for 2.5-V Power Supply," *IEEE Proc. Int'l. Symp. Multiple valued Logic*, 1994, pp. 10-15.

[12] T.Temel and A. Morgül, "Implementation of Multi-valued Logic Gates Using Full Current mode CMOS Circuits," *Analog Integrated Circuits and Signal Processing*, KAP, vol. 39, no. 2, pp. 191-204, 2004.

[13] T.Temel, *Current-mode CMOS Design of Multi-valued Logic Circuits*, Ph.D Thesis, Bogazici University, Dep. of Electrical and Electronics Engineering, 2002.

[14] A.Morgul and T.Temel, "A New Level Restoration Circuit for Multi-valued Logic," *Proc. of IEEE ISCAS'04*, pp. 649-652, Vancouver, CA, 2004.

[15] S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits Analysis & Design*, 3rd Edition, Swiss Federal Institute of Technology, Mc-Graw Hill, 2003.

[16] C. L. Chen, "2.5μm BiCMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 4, 1992.

**کیوان ناوی** مدرک کارشناسی سخت افزار کامپیوتر خود را از دانشکده مهندسی کامپیوتر دانشگاه شهید بهشتی در سال ۱۳۶۶ اخذ نمود و همچنین مدرک کارشناسی ارشد سخت افزار کامپیوتر خود را در سال ۱۳۶۹ از دانشکده مهندسی برق دانشگاه صنعتی شریف دریافت نمودند. ایشان مدرک دکتری خود را در رشته معماری کامپیوتر از دانشگاه پاریس XI (LRI) در سال ۱۹۹۵ اخذ نمود و در حال حاضر عضو هیئت علمی دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی می باشد. زمینه های تحقیقاتی مورد علاقه او حساب کامپیوتر، مدارات چند مقداری، طراحی مدارات کم مصرف و سرعت بالا و طراحی مدارات مد جریان می باشد. آدرس پست الکترونیکی نامبرده عبارتست از:

navi@sbu.ac.ir

**محسن کاظمی پارسا** مدرک کارشناسی سخت افزار کامپیوتر خود را از دانشکده مهندسی کامپیوتر دانشگاه شهید بهشتی در سال ۱۳۶۶ اخذ نمود و همچنین مدرک کارشناسی ارشد معماری کامپیوتر خود را در سال ۱۳۶۹ از دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف دریافت نمودند. در حال حاضر ایشان در مقطع دکتری معماری کامپیوتر در واحد علوم و تحقیقات حصارک مشغول به تحصیل می باشند. موضوعات مورد علاقه ایشان، معماری کامپیوتر، ارزیابی شبکه های کامپیوتری و طراحی مدارات مجتمع می باشد. آدرس پست الکترونیکی نامبرده عبارتست از:

kazemiparsa@sbu.ac.ir

**آرش قربان نیا دلاور** مدرک کارشناسی نرم افزار خود را از دانشکده فنی و مهندسی دانشگاه ساری در سال ۱۳۷۸ احراز نمود، همچنین مدرک کارشناسی ارشد معماری کامپیوتر خود را از واحد علوم و تحقیقات حصارک اخذ نمود. وی در حال حاضر دانشجوی مقطع دکترای معماری کامپیوتر واحد علوم و تحقیقات حصارک می باشند. موضوعات مورد علاقه ایشان طراحی مدارهای *BiCMOS* و بررسی کیفیت سرویس های شبکه می باشد. آدرس پست الکترونیکی نامبرده عبارتست از:

ghorbannia@sbu.ac.ir