عوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۴ شماره ۱ (الف)، ۱۳۸۵
صفحات ۳۳-۴۰
مقاله کوتاه

نشریه علمی پژوهشی انجمن کامپیوتر ایران

طراحی کمپرسور ۲-۴ با قابلیت مکمل دو مد جریان

کیوان ناوی

دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی، تهران، ایران

چکیده

کمپرسورها در کاهش درخت ضرب در ضرب‌کننده‌ها، همچنین در جمع چند عملوندی بسیار مورد استفاده قرار می‌گیرند. از اصلی‌ترین خواص کمپرسورهای ۲-۴ درجه فشردگی برابر ۲ و استفاده از آنها به عنوان سلول پایه برای ساختن کمپرسورهای بزرگتر مانند ۲-۶، ۲-۹ و در نهایت استاندارد *IEEE* 754 یعنی کمپرسور ۲-۲۷ می‌باشد. اما آنچه در شرایط ضرب و جمع متوالی اعداد علامت‌دار پیش می‌آید از عهده یک کمپرسور ۲-۴ معمولی خارج است.

در این مقاله تکنیک جدیدی برای جمع اعداد ارائه شده است که با استفاده از این روش و منطق چند مقداری در مد جریان، مداری طراحی می‌شود که در عین حفظ خواص یک کمپرسور ۲-۴ خاصیت مکمل دو را نیز داشته باشد. در طراحی جدید علاوه بر ساده‌تر شدن جمع کننده نهایی، تاخیر برای بدترین و بهترین مسیر تاخیر دقیقاً یکسان خواهد بود. همچنین در کاهش تعداد ترانزیستور مصرفی توفیقاتی حاصل شده است که در نهایت موجب کاهش توان و مساحت تراشه کمتر می‌گردد. مدارات لازم برای این معماری جدید، به وسیله نرم افزار *HSPICE* در تکنولوژی بیست و پنج صدم میکرومتر شبیه سازی شده که این شبیه سازی‌ها به روشنی صحت گفته‌های فوق را نشان می‌دهند.

کلمات کلیدی: کمپرسور ۲-۴، خاصیت مکمل دو، مد جریان، منطق چند مقداری

۱- مقدمه

کمپرسورها؛ همان‌طور که از نام‌شان بر می‌آید اصلی‌ترین عمل‌شان فشرده‌سازی می‌باشد. این وسایل در کاهش درخت ضرب، در ضرب‌کننده‌ها و جمع چند عملوندی مورد استفاده قرار می‌گیرند و بیش از یک دهه است که در پردازنده‌های تجاری استفاده می‌شود.

کمپرسورها دارای دو شرط پایه‌ای هستند، اول اینکه عمل جمع ورودی‌ها را انجام می‌دهند و دوم اینکه تعداد ورودی‌ها از تعداد خروجی‌های آن‌ها بیشتر می‌باشد. به عبارت دیگر به سلولی که عمل جمع را انجام می‌دهد و تعداد ورودی‌های آن نیز از تعداد خروجی‌هایش بیشتر است، کمپرسور گفته می‌شود. به‌عنوان مثال یک سلول تمام‌جمع کننده را می‌توان یک کمپرسور نامید اما یک سلول نیم‌جمع کننده را نمی‌توان یک کمپرسور نامید، زیرا شرط دوم صادق نمی‌باشد.

به طور کلی می‌توان کمپرسورها را به دو دسته کمپرسورهای معمولی و کمپرسورهای پیشرفته تقسیم کرد. در کمپرسورهای پیشرفته علاوه بر دو شرط پایه‌ای شرط سومی نیز اضافه می‌شود و عبارت است از اینکه ارقام نقلی ورودی به ارقام نقلی خروجی متناظر نباید هیچ تاثیری بگذارد. معروف‌ترین عضو در خانواده کمپرسورهای معمولی، کمپرسور ۲-۳ می‌باشد که به عنوان سلول پایه مورد استفاده قرار می‌گیرد. در خانواده کمپرسورهای پیشرفته، کمپرسور ۲-۴ که توسط وین برگر [1] در سال ۱۹۸۱ ارائه شد، معروف‌ترین عضو و سلول پایه‌ای این خانواده می‌باشد. این کمپرسور شامل ترکیبی از سلول‌های جمع‌کننده در یک ساختار اتصالی تودرتو است که منجر به فشرده‌سازی سریع‌تر حاصل ضرب‌های جزئی نسبت به جمع‌کننده می‌شود. این کمپرسور پنج بیت حاصل ضرب‌های جزئی را به سه بیت تبدیل می‌کند و به صورتی طراحی شده که چهار ورودی آن از موقعیت مکانی با وزن i و یک بیت از موقعیت همسایگی با وزن $i-1$ فراهم می‌شوند. یکی از خروجی‌های این ماژول در موقعیت مکانی i و دو تا در موقعیت $i+1$ هستند. از اصلی‌ترین خواص کمپرسورهای ۲-۴ درجه فشردگی برابر ۲ و استفاده از آنها بعنوان سلول پایه برای ساختن کمپرسورهای بزرگتر مانند ۲-۶، ۲-۹ و در نهایت استاندارد IEEE 754 یعنی کمپرسور ۲-۲۷ می‌باشد.

در این مقاله تکنیک جدیدی برای جمع اعداد ارائه شده است که آن‌را انتشار معکوس رقم نقلی نام نهاده‌ایم. با استفاده از این روش و منطق چند مقداری در مد جریان، یک کمپرسور ۲-۴ جدید ارائه می‌گردد که در مقایسه با سایرین درای برترهای محسوسی می‌باشد.

در ادامه در بخش دوم، مدارات چند مقداری در مد جریان و در بخش سوم جمع در منطق سه مقداری مورد مطالعه قرار خواهد گرفت. در بخش چهارم مدار جمع‌کننده با انتشار معکوس رقم‌نقلی ارائه می‌شود و برای روشن شدن عملکرد آن در بخش پنجم مثالی ارائه می‌گردد. در پایان یک نتیجه‌گیری کلی ارائه می‌گردد.

۲- مدارات چند مقداری مدجریان

در مقایسه مد ولتاژ با مدارات مد جریان، اصلی‌ترین تفاوت، کمیت تغییر پذیر آنها است که به ترتیب ولتاژ و جریان می‌باشد. در منطق چند مقداری مدارات چند مقداری مدجریان به عنوان رقبای جدی برای مدارات مد ولتاژ سالهاست که مطرح می‌باشند. در [2] آنالیز جامعی از این موضوع موجود می‌باشد. این مدارات بر روی مقدار محدود ورودی می‌توانند به خوبی جواب دهند و این جریانات ورودی باید مضربی از جریان ورودی واحد - جریانی که به منزله یکِ منطقی در نظر گرفته می‌شود- باشند. مدارات مدجریان می‌توانند با استفاده از تکنولوژی‌های قدیمی یا جدید پیاده‌سازی شوند [4,3].

نقطه ضعف مدارات مد جریان حساسیت نسبت به نویز است، هرقدر تعداد سطوح جریان استفاده شده کمتر باشد حساسیت نسبت به نویز نیز کمتر می‌گردد. در مدارات مورد مطالعه سه و چهار سطح جریان معمولاً بهتر جواب می‌دهند و به ندرت استفاده بیش از ده سطح جریان مشاهده شده است. به منظور غلبه بر مسئله نویز و کم و زیاد شدن جریان ورودی که از جمع جبری جریان‌ها به وجود می‌آید ما از سه سطح جریان یعنی صفر، یک و دو استفاده نموده‌ایم اما برای سادگی در طراحی و یا هر منظور دیگری می‌توان از سطوح جریان بالاتر نیز استفاده نمود. لازم به ذکر است که با زیاد شدن تعداد سطوح مسئله نویز بسیار آزار دهنده می‌گردد.

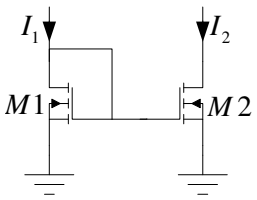
جدول۱. منطق سه مقداری و مقادیر جریان مورد استفاده

جریان (میکروآمپر)	ولتاژ(ولت)	منطق
۰	۰	۰
۱۵	۰/۶	۱
۳۰	۱/۲	۲

اساساً چند موضوع پایه‌ای در این ارتباط وجود دارد و عبارتند از آیینه‌های جریان، جمع جبری جریان‌ها (قانون *KCL*)، منابع جریان و آشکار سازهای آستانه، که در ادامه به بررسی آنها خواهیم پرداخت.

۲-۱ آیینه‌های جریان

اگر دو ترانزیستور را مانند شکل۱ به همدیگر متصل کنیم با توجه به اینکه ترانزیستور $M1$ در حالت اشباع می‌باشد؛ اگر $M2$ نیز در حالت اشباع باشد آنگاه I_1 و I_2 با هم برابر خواهند بود.



شکل۱. آیینه جریان

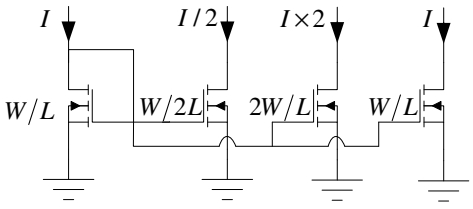
به عبارت دیگر در ترانزیستور $M1$ شرایط زیر بر قرار است:

$$V_{gs} - V_t < V_{ds} \Rightarrow \qquad V_{gs} = V_{ds} \Rightarrow \qquad -V_t < 0$$

در نتیجه:

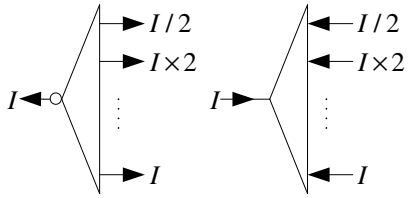
$$IF \quad M2 \quad \text{اشباع} \quad \text{THEN} \quad I_1 = I_2$$

با استفاده از این مطلب می‌توانیم ضرایب مختلف از یک جریان مانند I را داشته باشیم که این کار به راحتی با تغییر W/L ترانزیستور $M2$ نوعی صورت می‌گیرد.



شکل۲. آیینه‌های جریان

در شکل۲ اگر به جای ترانزیستورهای *pMOS* از *nMOS* استفاده شود، جریان منبع[1] بدست می‌آید. این جریان‌ها به صورت شماتیک در شکل۳ نشان داده شده است.

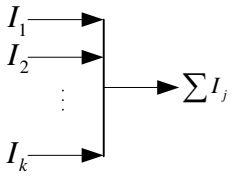


شکل۳. الف- آیینه‌های جریان *(Sink)*

ب - آیینه‌های جریان (Source)

۲-۲ جمع جبری جریان‌ها

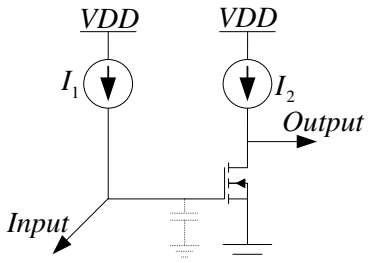
یکی از برتری‌های مد جریان به مد ولتاژ این‌است که عمل جمع در مد جریان بدون هزینه صورت می‌گیرد[6,5]. کافیست چند سیم با جریان‌های مختلف به هم اتصال کوتاه شوند، آنگاه در خروجی جمع جبری این جریان‌ها وجود خواهد داشت که چنین کاری – اتصال نقاط غیر هم‌ولتاژ- در مد ولتاژ می‌تواند خطرناک باشد.



شکل۴. جمع جبری جریان‌ها

۲-۳ مدارات آشکارساز آستانه

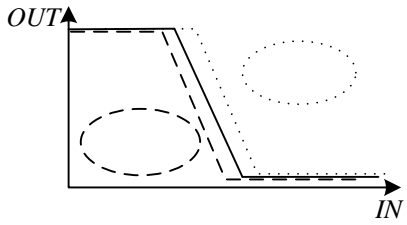
آشکار ساز آستانه جریان: یکی از اصلی‌ترین مدارات در مدجریان آشکارسازهای آستانه می‌باشند که به منظور مشخص ساختن مقدار جریان منطقی با مقایسه جریان‌های آستانه‌ای $0.5I$, $1.5I$,…., $(m-0.5)I$ استفاده می‌شوند و می‌توانند ساختاری مانند شکل۵ داشته باشند.



شکل۵. آشکار ساز آستانه جریان

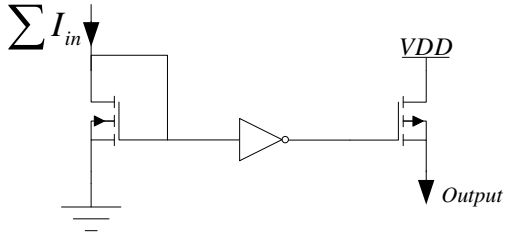
اگر *Input* کوچکتر از مقدار جریان I_1 باشد خازن گیت شارژ شده و ترانزیستور روشن می‌گردد و مقدار خروجی برابر صفر می‌شود. حال اگر مقدار *Input* بزرگتر از I_1 باشد خازن تخلیه شده و ترانزیستور خاموش می‌شود و تمام جریان I_2 به خروجی منتقل می‌گردد.

آشکار ساز آستانه ولتاژ: در بسیاری از موارد لازم است تا مدار به یک مقدار مشخص از کمیت ولتاژ عکس العمل نشان دهد در این صورت به یک آشکار ساز آستانه ولتاژ نیاز خواهیم داشت. آشکار ساز آستانه ولتاژ مدار بسیار ساده یک معکوس‌کننده از نوع *CMOS* می‌باشد که با تغییر در نسبت *W/L* در دو ترانزیستور بالابر و پائین بر، می‌توان برای هر مقداری آشکار ساز آستانه لازم را ساخت[7,8,9].



شکل۶. منحنی ورودی/خروجی یک آشکار ساز آستانه

به طور کلی اساس عملکرد مدارات مد جریان بر اساس آشکار سازهای آستانه می‌باشد[10,11,12] و با استفاده از آشکار سازهای مناسب می‌توان کلیه مدارات مد جریان را طراحی نمود. شکل۷ نمای یک مدار مد جریان را در حالت کلی نشان می‌دهد.



شکل۷. مدار پایه‌ای مد جریان

با توجه توضیحات داده شده بدیهی است که طراحی مدارات مدجریان به گونه‌ای متفاوت از مدارات مد ولتاژ انجام می‌شود[15,14,13].

۳- جمع در منطق چند مقداری

قبل از وراد شدن به بحث جمع در منطق چند مقداری توضیحاتی در مورد سلول‌های پایه‌ای مورد استفاده در الگوریتم ضروری به نظر می‌رسد. لذا در این بخش ابتدا سلول‌های پایه‌ای مورد بررسی قرار می‌گیرد و متعاقب آن به مطالعه الگوریتم خواهیم پرداخت.

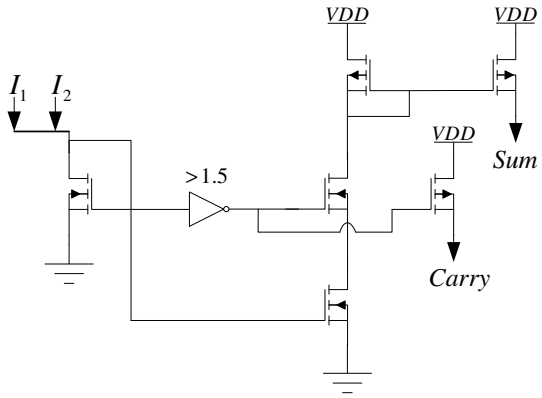
۳-۱ سلول‌های $3BC$ و $3BC'$

سلول $3BC$ در حقیقت معادل سلول نیم‌جمع کننده، در مد جریان می‌باشد.

جدول۲. جدول صحت $3BC$

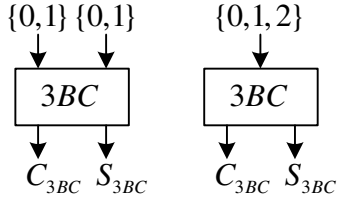
$\sum in$	C_{3BC}	S_{3BC}
۰	۰	۰
۱	۰	۱
۲	۱	۰

با توجه به جدول۲ مقدار ورودی‌ها در هر لحظه باعث فعال شدن تنها یک خروجی می‌گردد، بنابراین می‌توان گفت: $3BC$، عنصری است که تجزیه به عوامل دودوئی یک ورودی سه سطحی را انجام می‌دهد. از نظر مداری $3BC$ یک زیر مجموعه از mBC است که برای تجزیه یک ورودی m سطحی استفاده می‌شود. با توجه به مطالب گفته شده در بخش۲ و جدول۲ می‌توان مدار آن را مطابق شکل۸ طراحی نمود.



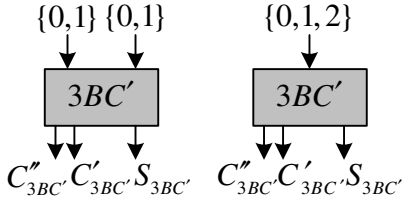
شکل۸. مدار $3BC$

برای نشان دادن یک سلول $3BC$، با توجه به توضیحاتی که در بخش۲-۲ داده شد می‌توان از اشکال زیر استفاده کرد.



شکل۹. اشکال مختلف $3BC$

در مورد سلول $3BC'$ باید گفته شود که این سلول در واقع یک سلول $3BC$ تغییر یافته است، به طوری از خروجی C_{3BC} دوبار استفاده می‌شود. توجه به این نکته ضروری می‌باشد که در مد جریان به راحتی مد ولتاژ نمی‌توان از یک خروجی دوبار استفاده نمود و الزاماً چنین کاری با سخت افزار اضافه صورت می‌گیرد. برای نشان دادن این سلول می‌توان از اشکال مختلف نشان داده شده در شکل۱۰ استفاده کرد.



شکل۱۰. اشکال مختلف $3BC'$

جدول۳. جدول درستی جمع کننده *BCS*

X_i+Y_i	$X_i^{(1)}$	$X_i^{(0)}$	$Y_i^{(1)}$	$Y_i^{(0)}$	P_{i1}	P_{i0}	$P_{i1}^{(1)}$	$P_{i1}^{(0)}$	$P_{i0}^{(1)}$	$P_{i0}^{(0)}$	$C_{i+1}^{(2)}$	$C_{i+1}^{(1)}$	W_i
۰+۰	۰	۰	۰	۰	۰	۰	۰	۰	۰	۰	۰	۰	۰
۰+۱	۰	۰	۰	۱	۰	۱	۰	۰	۰	۱	۰	۰	۱
۰+۲	۰	۰	۱	۰	۱	۰	۰	۱	۰	۰	۰	۱	۰
۱+۱	۰	۱	۰	۱	۰	۲	۰	۰	۱	۰	۰	۱	۰
۱+۲	۰	۱	۱	۰	۱	۱	۰	۱	۰	۱	۰	۱	۱
۲+۲	۱	۰	۱	۰	۲	۰	۱	۰	۰	۰	۱	۱	۰

۳-۲ کمپرسور ۲-۴ مد جریان

در الگوریتم ارائه شده در [16] و مباحث [17] به وسیله عنصر $3BC$ و $3BC'$ هر X_i را به یک رقم حاصل جمع مانند $X_i^{(0)}$ و یک رقم نقلی مانند $X_i^{(1)}$ تجزیه می‌شود.

$$2X_i^{(1)}+X_i^{(0)}=X_i \qquad X_i^{(0)},X_i^{(1)}\in E_2$$
$$X_i\in E_3,\quad E_2\in\{0,1\},\quad E_3\in\{0,1,2\}$$

مراحل الگوریتم به صورت زیر می‌باشد:

- مرحله اول: X_i و Y_i را به اجزای دودوئی آن تجزیه می‌کنیم.

$$2X_i^{(1)}+X_i^{(0)}=X_i$$
$$2Y_i^{(1)}+Y_i^{(0)}=Y_i$$

- مرحله دوم: جمع جبری عناصر مشابه را بصورت زیر بدست می‌آوریم.

$$P_{i1}=\left(X_i^{(1)}+Y_i^{(1)}\right)$$
$$P_{i0}=\left(X_i^{(0)}+Y_i^{(0)}\right)$$

- مرحله سوم: P_{i1} و P_{i0} را توسط عنصر $3BC$ به اجزای دودوئی آن تجزیه می‌کنیم. جدول۳ خروجی‌های $P_{i1}^{(1)}$ و $P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ و $P_{i0}^{(0)}$ را بر اساس ورودی‌های مختلف نشان می‌دهد.

$$2P_{i1}^{(1)}+P_{i1}^{(0)}=P_{i1}$$
$$2P_{i0}^{(1)}+P_{i0}^{(0)}=P_{i0}$$

- مرحله چهارم: P_i را به عناصر اولیه خود یعنی W_i و $C_{i+1}^{(1)}$ و $C_{i+1}^{(2)}$ تجزیه می‌کنیم. ارزش مکانی $C_{i+1}^{(1)}$ و $C_{i+1}^{(2)}$ با یکدیگر مساوی می‌باشد و ارزش مکانی W_i یک دوم ارزش مکانی $C_{i+1}^{(1)}$ و $C_{i+1}^{(2)}$ می‌باشد.

$$2C_{i+1}^{(2)}+2C_{i+1}^{(1)}+W_i=P_i$$
$$C_{i+1}^{(1)},C_{i+1}^{(2)},W_i\in E_2$$

خروجی‌های $C_{i+1}^{(1)}$ و $C_{i+1}^{(2)}$ و W_i بر اساس P_i نیز در جدول۳ نمایش داده است.

$$C_{i+1}^{(2)}=P_{i1}^{(1)}$$
$$C_{i+1}^{(1)}=P_{i1}^{(1)}+P_{i1}^{(0)}+P_{i0}^{(1)}$$
$$W_i=P_{i0}^{(0)}$$

- مرحله پنجم: W_i و $C_i^{(1)}$ را به صورت خطی با یکدیگر جمع می‌کنیم.

$$V_i=W_i+C_i^{(1)}$$

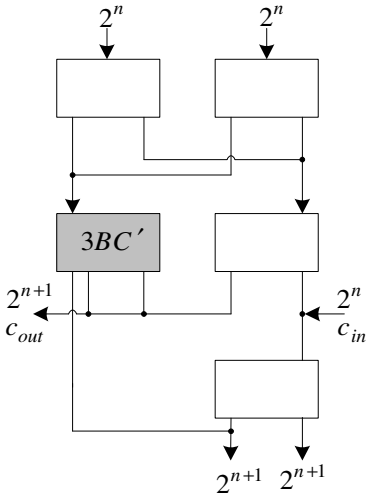
- مرحله ششم: V_i را به اجزای دودوئی آن تجزیه می‌کنیم.

$$2V_i^{(1)}+V_i^{(0)}=V_i$$

- مرحله هفتم: $C_{i+1}^{(2)}$ و $V_i^{(1)}$ را به صورت خطی با یکدیگر جمع می‌کنیم.

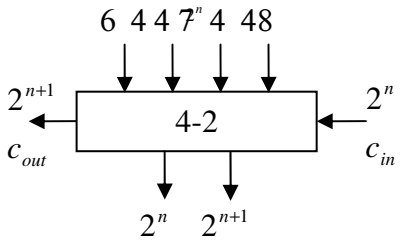
$$S=V_i^{(0)}$$
$$C=C_{i+1}^{(2)}+V_i^{(1)}$$
$$C_{out}=C_{i+1}^{(1)}$$

به وضوح مشخص است که جمع با انتشار رقم نقلی محدود صورت می‌گیرد. شکل۱۱ ساختار جمع کننده بدون انتشار تاخیر نقلی (BSC^2) دو ورودی را نشان می‌دهد. با استفاده از مدارات مد جریان سه سطحی تمامی مدار می‌تواند فقط به وسیله یک نوع سلول، یعنی عنصر $3BC$ ساخته شود. تنها مورد استثنا استفاده دوگانه از خروجی $P_{i1}^{(1)}$ می‌باشد که باید از عنصر $3BC'$ استفاده شود. اگر بتوان به نوعی استفاده دوباره از خروجی $P_{i1}^{(1)}$ را حذف نمود، علاوه بر ساده‌تر شدن مدار، تنها و تنها از سلول‌های $3BC$ استفاده می‌شود، بدون استفاده از آیینه جریانی که باعث اضافه شدن ترانزیستور و کاهش سرعت می‌گردد.



شکل۱۱. جمع کننده *BSC*

شکل۱۱ در واقع یک کمپرسور۲-۴ است که ورودی‌های آن – به استثنای C_{in} – در مجموعه $\{0,1,2\}$ قرار دارند و به صورت بلوکی مانند شکل۱۲، می‌توان آن را نشان داد.



شکل۱۲. کمپرسور ۲-۴

۴- مدار جمع کننده با انتشار معکوس رقم‌نقلی

۴-۱ الگوریتم انتشار معکوس رقم نقلی

در الگوریتم جدید فقط از سلولهای $3BC$ استفاده می‌شود و هیچ‌گونه آیینه جریان و یا ترانزیستور اضافی استفاده نمی‌شود. همچون الگوریتم قبل P_i یعنی جمع X_i و Y_i جزء محدوده E_3 می‌باشد و عنصر $3BC$ ورودی خود را به عوامل دودوئی آن تجزیه می‌کنند. الگوریتم جدید به شرح زیر می‌باشد.

- مرحله اول: X_i و Y_i را به اجزای دودوئی آن تجزیه می‌کنیم.

$$2X_i^{(1)} + X_i^{(0)} = X_i$$
$$2Y_i^{(1)} + Y_i^{(0)} = Y_i$$

- مرحله دوم: جمع جبری عناصر مشابه را به صورت زیر به دست می‌آوریم.

$$P_{i1} = \left(X_i^{(1)} + Y_i^{(1)} \right)$$
$$P_{i0} = \left(X_i^{(0)} + Y_i^{(0)} \right)$$

- مرحله سوم: P_{i1} و P_{i0} را توسط عنصر $3BC$ به اجزای دودوئی آن تجزیه می‌کنیم. جدول۳ خروجی‌های $P_{i1}^{(1)}$ و $P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ و $P_{i0}^{(0)}$ را بر اساس ورودی‌های مختلف نشان می‌دهد.

$$2P_{i1}^{(1)} + P_{i1}^{(0)} = P_{i1}$$
$$2P_{i0}^{(1)} + P_{i0}^{(0)} = P_{i0}$$

- مرحله چهارم: t_i را به دست می‌آوریم.

$$t_i = P_{i0}^{(0)}$$

در واقع t_i رقم انتقالی به ستون قبل می‌باشد.

$P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ و t_{i+1} که از ستون بعدی به این ستون ارسال شده است را به طور خطی جمع می‌کنیم. چون $P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ هم‌زمان یک منطقی نمی‌شوند ماکزیمم مقدار Z_i که از جمع جبری $P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ و t_{i+1} به دست می‌آید حداکثر ۲ خواهد بود در واقع $Z_i \in E_3$ می‌باشد.

$$Z_i = t_{i+1} + P_{i1}^{(0)} + P_{i0}^{(1)}$$

- مرحله پنجم: Z_i را به اجزای دودوئی آن تجزیه می‌کنیم.

$$2Z_i^{(1)} + Z_i^{(0)} = Z_i$$

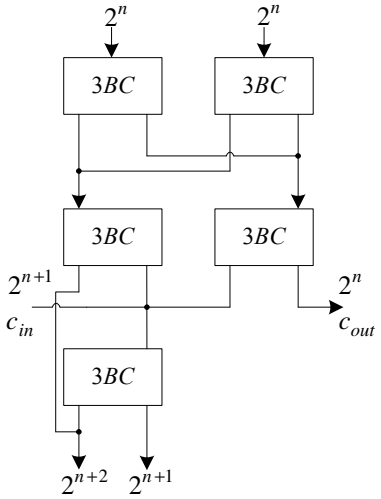
- مرحله ششم: S_i و C_i را به صورت زیر به دست می‌آوریم

$$S_i = Z_i^{(0)}$$
$$C_i = Z_i^{(1)} + P_{i1}^{(1)}$$

چون $P_{i1}^{(1)}$ و $Z_i^{(1)}$ هیچ‌گاه هم‌زمان یک منطقی نمی‌شوند پس $Z_i, C_i \in E_2$ می‌باشد. در واقع بدین وسیله یک جمع کننده بدون تاخیر انتشار رقم نقلی طراحی شده است. صحت گفته‌های فوق در جدول۴ کاملا روشن می‌باشد.

۴-۲ پیاده سازی مدار جمع کننده با انتشار معکوس رقم نقلی

با توجه به الگوریتم ارائه شده، پیاده‌سازی آن تا مرحله سوم کاملا مشابه با دو طبقه ابتدائی شکل۱۱ خواهد بود. طبق مرحله چهارم، $P_{i0}^{(0)}$ باید به ستون قبل فرستاده شود و $P_{i1}^{(0)}$ و $P_{i0}^{(1)}$ و t_{i+1} جمع جبری شده و مطابق مرحله پنجم با یک سلول $3BC$ این حاصل جمع به عوامل دودویی تجزیه گردد در صورت اجرای مرحله ششم شکلی مانند شکل۱۳ به دست می‌آید.

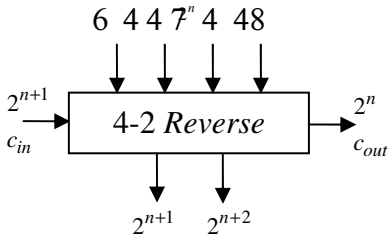


شکل۱۳. مدار جمع کننده جدید

به طور کلی می‌توان بلوک دیاگرامی مانند شکل۱۴ برای آن در نظر گرفت.

جدول۴. جدول درستی جمع کننده جدید

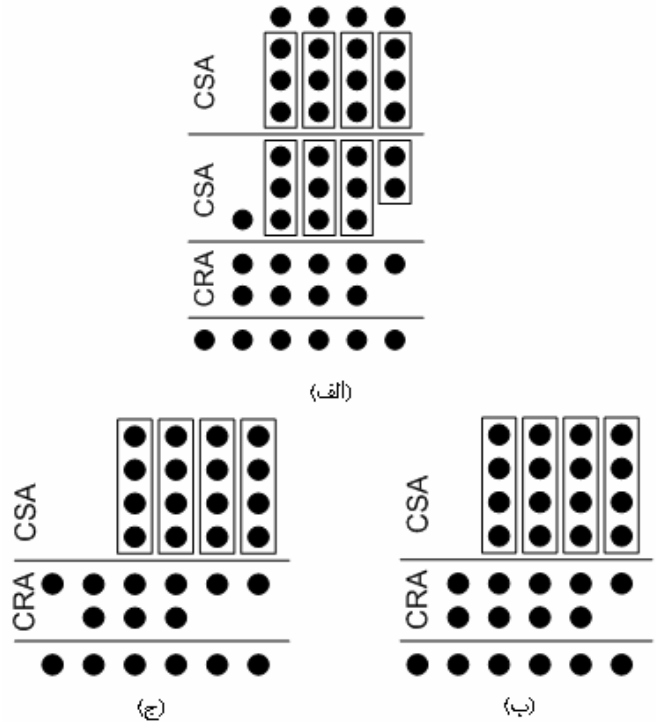
$X_i + Y_i$	$P_{i1}^{(1)}$	$P_{i1}^{(0)}$	$P_{i0}^{(1)}$	$P_{i0}^{(0)}$	$Z_{i1}(t_{i+1}=1)$	$Z_{i0}(t_{i+1}=0)$	$Z_{i1}^{(1)}$	$Z_{i1}^{(0)}$	$Z_{i0}^{(1)}$	$Z_{i0}^{(0)}$
۰+۰	۰	۰	۰	۰	۱	۰	۰	۱	۰	۰
۰+۱	۰	۰	۰	۱	۱	۰	۰	۱	۰	۰
۰+۲	۰	۱	۰	۰	۲	۱	۱	۰	۰	۱
۱+۱	۰	۰	۱	۰	۲	۱	۱	۰	۰	۱
۱+۲	۰	۱	۰	۱	۲	۱	۱	۰	۰	۱
۲+۲	۱	۰	۰	۰	۰	۰	۰	۰	۰	۰



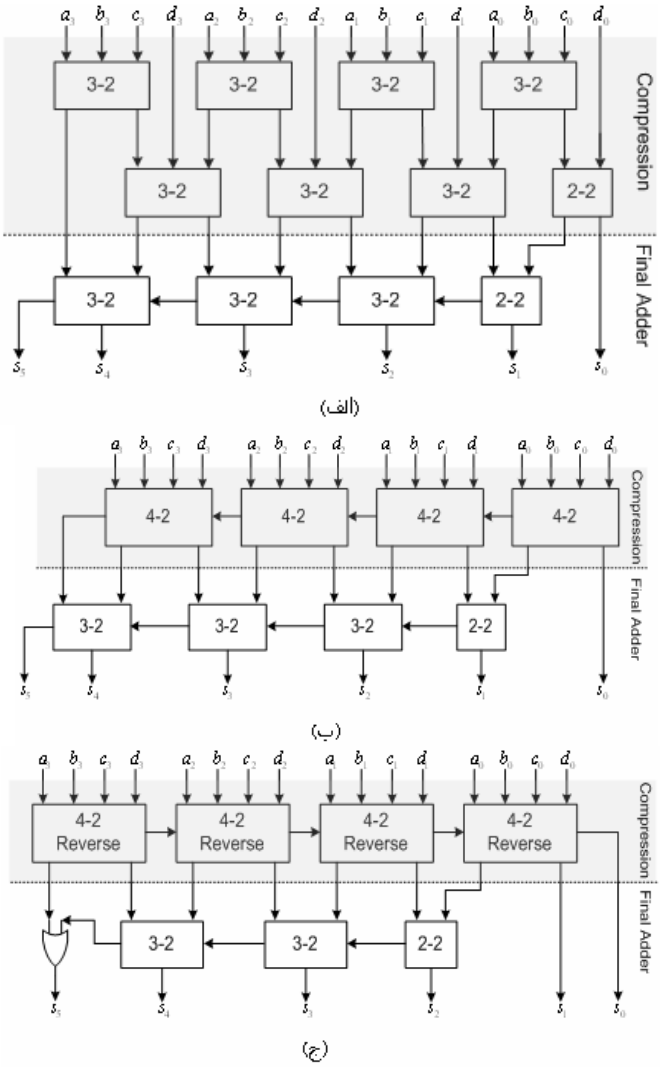
شکل۱۴. کمپرسور ۲-۴ با انتشار معکوس رقم نقلی

۵- بررسی یک مثال

برای روشن شدن نحوه عمل‌کرد کمپرسور ۲-۴ با انتشار معکوس رقم نقلی و روش ارائه شده به بررسی یک مثال ساده می‌پردازیم. چهار عملوند چهار بیتی مفروض است، برای جمع این چهار عملوند از سه روش مختلف استفاده شده است. ابتدا با استفاده از سلولهای متعارف کمپرسور ۲-۳ (تمام جمع کننده)، سپس با استفاده ار کمپرسور ۲-۴ متعارف و در انتها به وسیله کمپرسور ۲-۴ ارائه شده عمل جمع چهار عملوند مفروض انجام شده است. برای حفظ کلیت مثال از نمایش نقطه‌ای استفاده شده و در شکل ۱۵ نشان داده شده است. در شکل ۱۶ سخت افزار لازم برای پیاده سازی مدارات مربوط به هر سه روش نشان داده شده است. همانطور که در شکل ۱۶-ج مشخص گردیده است با استفاده از کمپرسور ارائه شده یک سلول تمام جمع کننده در جمع کننده نهایی حذف می‌گردد (بدلیل عدم انتقال رقم نقلی از موقعیت ششم به هفتم). لازم به ذکر است در جمع کننده نهایی، روش‌های تسریع رقم نقلی برای هر سه مورد قابل استفاده است.



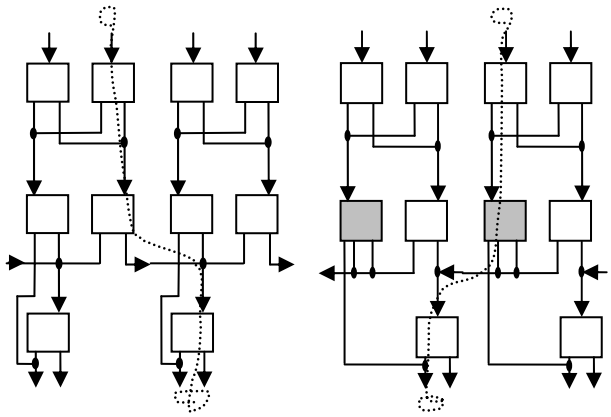
شکل۱۵. نمایش نقطه ای جمع چند عملوندی
الف- جمع چند عملوندی با استفاده از کمپرسور ۲-۳
ب- جمع چند عملوندی با استفاده از کمپرسور ۲-۴ متعارف
ج- جمع چند عملوندی با استفاده از کمپرسور ۲-۴ معکوس



شکل۱۶. پیاده سازی سخت افزاری جمع چند عملوندی
الف- جمع چند عملوندی با استفاده از کمپرسور ۲-۳
ب- جمع چند عملوندی با استفاده از کمپرسور ۲-۴ متعارف
ج- جمع چند عملوندی با استفاده از کمپرسور ۲-۴ معکوس

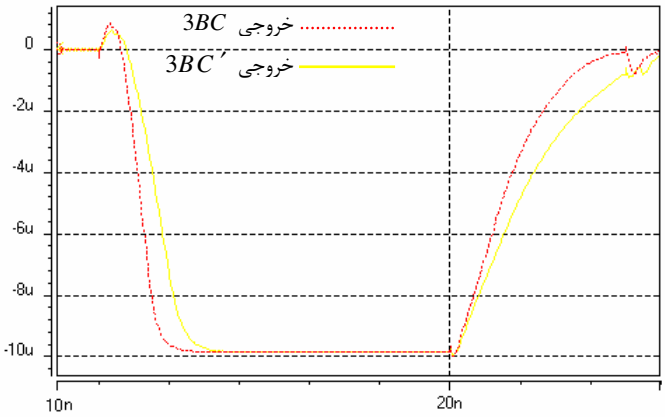
۶- نتیجه گیری

در این مقاله یک جمع کننده بدون انتشار تاخیر رقم نقلی جدید ارائه گردید که هر سلول بنیادی آن در واقع قابل تبدیل به یک کمپرسور ۲-۴ می‌باشد. اما برخلاف کمپرسورهای ۲-۴ معمولی تنها یک بیت برای پرارزش‌ترین بیت وجود دارد[18]و این امکان را به ما می دهد که بصورت مکمل ۲ از آن استفاده کنیم. روش ارائه شده هیچ‌گونه سابقه علمی و عملی ندارد و در مراجع معتبری مانند [19,20] هیچ اشاره‌ای به این نمونه از معماری برای کمپرسور نشده است. در طراحی جدید تمام عناصر از جنس $3BC$ بوده و هیچ‌گونه آیینه جریان و یا ترانزیستور اضافی استفاده نمی‌شود و در کل یک ترانزیستور در هر بلوک کمپرسور۲-۴ صرفه‌جویی می‌شود. در ضمن به دلیل استفاده از عناصر یک جنس تاخیر در بدترین و بهترین حالت دقیقا یکسان خواهد بود. در شکل۱۷ مسیر بحرانی در دو مدار شکل۱۱ و شکل۱۳ مورد بررسی قرار گرفته است. و به دلیل وجود عنصر $3BC'$ روی مسیر حساس تاخیر، مدار کندتر می‌گردد.



شکل۱۷. مقایسه مدار *BSC* و جمع کننده جدید

در شکل۱۸ خروجی دو سلول $3BC$ و $3BC'$ بوسیله *HSPICE* در تکنولوژی بیست و پنج صدم میکرومتر با منبع تغذیه 2.5 ولت مورد مقایسه قرار گرفته و مطابق انتظار در سلول $3BC'$ به دلیل وجود بار خازنی بزرگ‌تر زمان صعود و نزول بیشتر می‌باشد. ازآنجایی‌که توان مصرفی وابستگی زیادی به الگوی ورودی دارد، میانگین توان مصرفی برای تعداد زیادی الگوی ورودی تصادفی برای مقایسه توان مورد استفاده قرار گرفته و در حدود ۱۶٪ توان مصرفی کم‌تر در سلول$3BC$ را نشان می‌دهد. این کاهش توان در کل مدار یک ضرب‌کننده که از تعداد زیادی کمپرسور۲-۴ استفاده می‌کند مقدار قابل ملاحظه‌ای می‌باشد.



شکل۱۸. مقایسه خروجی $3BC$ و $3BC'$

مراجع

[1] A. Weinberger, "4-2 Carry-Save Adder Module," *IBM Technical Disclosure Bulletin,* Vol. 23, Jan. 1981.

[2] A. F. Gonzalez and P. Mazumder, "Redundant Arithmetic: Algorithms and Implementation," *INTERGERATION, the International VLSI Journal*, Vol. 30, pp 13-53, 2000.

[3] K. Navi, A. Kazemnejad and D. Etiemble, "Performance of CMOS Current Mode Full Adders," *IEEE Proc. Int'l. Symp. Multiple Valued Logic,* pp. 27-34, 1994.

[4] A. Arfaee, K. Navi, M. Kazemi Parsa, and A.A Kabiri, "Design Of High Speed 2's Complement MAC Unit Using Redundant Number System," *6th Annual Computer Society of Iran Computer Conf.,* 2001.

[5] A. Kazeminejad, K Navi, and D.Etiemble, "CML Current mode full adders for 2.5 Volt Power Supply," *IEEE Proc. Int'l. Symp. Multiple Valued Logic*, pp. 10-15, 1994.

[6] T. Temel, A. Morgul, "Implementation of Multi-valued Logic Gates Using Full Current mode CMOS Circuits," *Analog Integrated Circuits and Signal Processing,* Vol. 39 No.2, pp.191-204, 2004.

[7] A. David Hodges, Resve Saleh, Horace G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 3nd Edition, Mc-Graw Hill, 2004.

[8] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic, *Digital Integrated Circuits*, 2nd Edition, Prentice Hall, 2002.

[9] H. Sabih Gerez, *Algorithms for VLSI Design*, John Wiley, 1999.

[10] M. Michael Via, *VLSI Design*,CRC, 2001.

[11] Wai Kai Chen, *The VLSI Hand Book*, IEEE Press 2000.

[12] James B. Kuo, JEA Honglou, *Low-Voltage CMOS VLSI Circuits*, John Wiley 1999.

[13] Sung-Mo (Steve) Kang, Yusuf Leblebici, *CMOS Digital Integrated Circuits Analysis & Design*, 3rd Edition, Swiss Federal Institute of Technalogy, Mc-Graw Hill, 2003.

[14] T. Temel, *Current-mode CMOS Design of Multi-valued Logic Circuit*, Ph.D Thesis, Bogazici University, Dep. of Electrical and Electronics Engineering, 2002.

[15] A. Morgul, Temel, Turgay, "A New Level Restoration Circuit for Multi-valued Logic," *Proc. of IEEE ISCAS'04*, pp. 649-652, May 2004.

[16] K.Navi & D. Etiemble, "From Multi-Valued Current Mode CMOS Circuits to Efficient Voltage Mode CMOS Arithmetic Operators," *Proc. Int'l Symp. Multiple Valued Logic*, pp 58-64, 1995.

[17] Aviezienis, "Signed Digit Number Representation for Fast Parallel Arithmetic," *IRE Trans. Elect. Comp, EC10*, pp. 389-400, Sep. 1961.

[18] K. Prasad, K.K Parhi, "Low-power 4-2 and 5-2 compressors," *35th Asilomar Conference on Signals, System and Computer*, Vol. 1, pp. 129-133, Nov. 2001.

[19] P. Kornerup, "Reviewing 4 to 2 Adders for Multi-Operand Addition," *Journal of VLSI Signal Processing*, Vol. 40, pp.143-152, 2005.

[20] C. Chang; J. Gu; M. Zhang, "Ultra low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits," *IEEE Tran. on Circuits and Systems*, Vol. 51, No. 10, pp. 1985-1997, 2004.

کیوان ناوی مدرک کارشناسی سخت افزار کامپیوتر خود را از دانشکده مهندسی کامپیوتر دانشگاه شهید بهشتی در سال ۱۳۶۶ اخذ نمود و همچنین مدرک کارشناسی ارشد سخت افزار کامپیوتر خود را در سال ۱۳۶۹ از دانشکده مهندسی برق دانشگاه صنعتی شریف دریافت نمودند. ایشان مدرک دکتری خود را در رشته معماری کامپیوتر از

دانشگاه پاریس XI (LRI) در سال ۱۹۹۵ اخذ نمود و در حال حاضر عضو هیئت علمی دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی می باشد. زمینه های تحقیقاتی مورد علاقه او حساب کامپیوتر، محاسبات کوانتمی، ترانزیستورهای تک الکترونی، مدارات چند مقداری، طراحی مدارات کم مصرف و سرعت بالا و طراحی مدارات مد جریان می باشد.

آدرس پست الکترونیک: navi@sbu.ac.ir

---

[1] Source
[2] Binary Stored Carry