علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۴ شماره ۳ (الف)، ۱۳۸۵
صفحات ۹-۱۶
مقاله کوتاه

کمپرسور ۴:۲ سریع مدمشترک

کیوان ناوی[۱] امید کاوه‌ای[۱] پویا اسدی[۲]

[۱] دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی، تهران، ایران
[۲] واحد علوم و تحقیقات حصارک، دانشگاه آزاد اسلامی، تهران، ایران

چکیده

در این مقاله کمپرسور ۴:۲ بسیار سریعی را معرفی نموده‌ایم. با توجه به این موضوع که کوچک‌سازی به حد تکنولوژی خود نزدیک شده است ارائه راهکارها و استفاده از معماری‌های جدید بسیار مهم می‌باشد. در طراحی این کمپرسور با ترکیب کردن مدارات مدولتاژ و جریان و استفاده بهینه از مزایای هرکدام، توانسته‌ایم سرعت را نسبت به طراحی‌های گذشته افزایش دهیم. تمامی شبیه‌سازی‌های با مدل BSIM$v3$ و تکنولوژی ۰٫۲۵میکرومتر با نرم‌افزارهای HSpice و CosMos-Scope (تحلیل داده‌ها) صورت گرفته است. الگوی‌های ورودی به مدل شبیه‌سازی نیز توسط Matlab تولید و اعمال شده‌اند. طبق شبیه‌سازی‌ها، مدار ارائه شده بهبود قابل ملاحظه‌ای در سرعت و توان‌مصرفی ایجاد نموده است. معیار استفاده شده برای بررسی هر دو کمیت توان و تاخیر، حاصل‌ضرب توان در تاخیر است که طبق مشاهدات مدار پیشنهادی با برتری کامل بر طرح مدولتاژ نتایج بسیار مطلوب‌تری را از خود نشان می‌دهد. معیار دیگر برای مقایسه دو طرح تعداد ترانزیستور مصرفی می‌باشد که، طرح پیشنهادی کاهشی معادل ۲۰٪ را در تعداد ترانزیستور مصرفی بوجود آورده است.

کلمات‌کلیدی: مدولتاژ، مدجریان، مدمشترک، کمپرسور، VLSI، کمپرسور ۴:۲

۱- مقدمه

کمپرسور[۱] ۴:۲ از مهم‌ترین عناصر پایه حساب می‌باشد. با طراحی کمپرسورهای ۴:۲ سریع و کارآ می‌توان بازدهی کل سیستم کامپیوتری را ارتقا داد [۱]. از آن‌جایی که کمپرسور ۴:۲ بعنوان یک واحد پایه، در طراحی پردازش‌گر محسوب می‌شود، طراحی مناسب آن بسیار مورد توجه می‌باشد. بسیاری از مدارهایی که اخیرا ارائه شده‌اند، در طراحی‌های خود از "ترانزیستورهای عبور[۲] و گیت‌های انتقال[۳] استفاده می‌نمایند [۵-۲]. حال می‌توان با شناسایی دقیق نقاط ضعف و قوت در این‌گونه طراحی‌ها (منطق طراحی)، و یافتن راه‌کارهایی به‌منظور پوشش نقاط ضعف طراحی‌های پیشین با استفاده از مزایای سایر منطق‌ها، به مدارات بسیار بهتر و سریع‌تری دست پیدا کرد. مد جریان[۴] بعنوان یکی از منطق‌های طراحی مدارات، دارای مزایای بسیاری از جمله امکان پیاده‌سازی جمع رایگان و مدارات تابع اکثریت[۵] و OR بسیار سریع می‌باشد. اگر بتوان با استفاده از این مزایا، نقاط ضعف طراحی‌های مدولتاژ[۶] را پوشش داد، براحتی می‌توان مشاهده نمود که، تغییرات اعمال شده، بشدت در میزان کارآیی و سرعت طراحی‌های حاصله تفاوت ایجاد می‌کنند. کمپرسور ۴:۲ ارائه شده، با استفاده از درخت XOR مدولتاژ، که در آن، یکی از بهترین طراحی‌های XOR-XNOR بکار رفته است، در کنار پیاده‌سازی مدجریانی توابع مولد رقم‌نقلی، طراحی شده است.

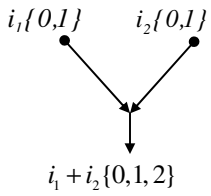
در بخش دوم، معرفی کوتاهی از مدارهای مدجریان را آورده‌ایم، در بخش سوم نحوه عملکرد آشکارسازهای آستانه را مورد بررسی قرار داده‌ایم، سپس، به معرفی سلول XOR-XNOR مورد استفاده پرداخته و در ادامه نیز، با معرفی اجمالی معماری کمپرسور ۴:۲، ایده پیاده‌سازی این کمپرسور، با استفاده از درخت XOR و آشکارسازهای آستانه بیان خواهد شد. سپس به بیان شرایط شبیه‌سازی و نتایج حاصله می‌پردازیم. در نهایت نیز، نتیجه‌گیری ذکر شده است.

۲- مدارهای مدجریان

درمدارهای منطقی که با ولتاژ کار می‌کنند دو ولتاژ مختلف مانند V_1 و V_2 را برابر سطح منطقی در نظر می‌گیرند. به عنوان مثال V_1=0v و V_2=1v در نظر گرفته شده و بر اساس آن دروازه‌های منطقی و مدارهای رقمی طراحی و ساخته می‌شوند. حال اگر به جای ولتاژ، از جریان به عنوان واسطی برای پیاده‌سازی

مدارهای منطقی استفاده نمود، گوییم مدارات در منطق مدجریان طراحی و پیاده‌سازی شده‌اند. برای این کار می‌توان جریانی خاص مانند i را به سطح منطقی یک، و عدم وجود آن را به سطح منطقی صفر تعبیر نمود. برخی از خواص جریان مزایای جالبی دارند ازجمله قانون جمع جریان‌ها که می‌توان ازآن درساخت یک جمع‌کننده بسیار سریع استفاده نمود [۶، ۷، ۸]. طبق قانون جمع جریان‌ها اگر دوسیم حامل جریان مانند جریان‌های ۱ و ۲ در شکل رابه یکدیگر متصل نماییم، در سیم خروجی جمع دوجریان اولیه را خواهیم داشت. یکی از مزیت‌های مدجریان مصرف تعداد ترانزیستور کم‌تر نسبت به مدارات مشابه در مدولتاژ می‌باشد.

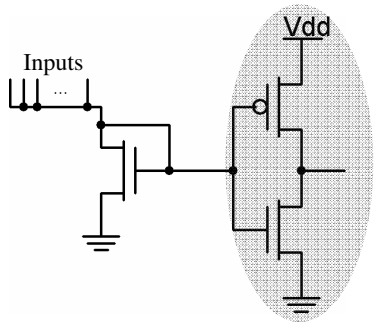
این مزیت همان‌طور که واضح است، تاثیر بسزایی را در کاهش فضای مصرفی پیاده‌سازی دارد. مزیت مدارهای مدولتاژ، ساده بودن طراحی و عدم حساسیت به نویز است. نحوه پیاده‌سازی مدار یکی از عامل‌های بسیار موثر در کاهش و یا افزایش تاخیر آن مدار می‌باشد. برای مثال، در رابطه با دروازه‌های XOR مدارات مدولتاژ سریع‌تر عمل می‌نمایند و در رابطه با دروازه‌های OR و NOR و "توابع مولد رقم‌نقلی[۷] (اکثریت) مدارات مدجریان سریع‌تر می‌باشند. هدف اصلی این مقاله، ترکیب این مزایا می‌باشد [۹، ۱۰].



شکل ۱- قانون جمع جریان‌ها

۳- آشکارسازهای آستانه

اگر جریان ورودی به آشکارساز آستانه[۸] از مقدار مشخصی بیشتر باشد مقدار خروجی آن تغییر می‌نماید. برای مثال آشکار ساز آستانه TD>1.5، به این معنی است که اگر مقدار ولتاژ از ۱,۵ (منطقی) بیشتر شد، خروجی صفر شود در غیر این صورت مقدار خروجی یک گردد. استفاده از گیت معکوس‌کننده بعنوان آشکارساز سطح آستانه برای اولین بار در [۲] ذکر شده است. در شکل ۲ مدل کلی مدار آشکارساز آستانه، با استفاده از یک معکوس‌کننده CMOS، نشان داده شده است.



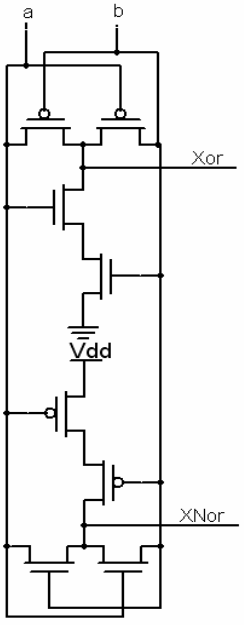
شکل ۲- نمایش مداری آشکار ساز آستانه

محاسبه $\beta\left(=(W/L)_{pMOS}/(W/L)_{nMOS}\right)$ است که آستانه سوئیچ این معکوس‌کننده، و بعبارت بهتر آستانه آشکارسازی آن را، تعیین می‌نماید [۵، ۶،۸] .

۴- مدار XOR-XNOR

بعلت این‌که مدارات XOR، XNOR پیاده‌سازی شده در مدولتاژ سریع‌تر از مدارات معادل پیاده‌سازی شده در مدجریان است، لذا در طرحی که ارائه می‌شود از مدولتاژ برای پیاده‌سازی درخت XOR، XNOR استفاده نموده‌ایم؛ بنابراین شناخت طراحی‌های مطرح برای این‌گونه مدارات بسیار حائز اهمیت است. در سال‌های اخیر تحقیقات بسیار گسترده‌ای در زمینه بهبود طرح‌های موجود و ارائه طرح‌های نوین صورت پذیرفته است. بحث در مورد انواع طرح‌های موجود برای پیاده‌سازی این‌گونه مدارات بسیار وسیع خواهد بود. در این بخش قصد داریم تا جدیدترین طرح‌های ارائه شده را بررسی کنیم.

همان‌طور که میدانیم، ترانزیستور عبور، یک ترانزیستور nMOS یا pMOS است که سیگنال ورودی آن، از سورس و سیگنال خروجی آن از درین است. "شبکه عبور" نیز مجموعه‌ای از ترانزیستورهای عبور است، که برای پیاده‌سازی تابعی خاص، در کنار هم قرار گرفته‌اند. اگر سیگنال‌های X و Y به گیت و سورس یک ترانزیستور nMOS متصل شده باشند، آن را بصورت X.Y نشان می‌دهیم و می‌گوییم: "X از Y عبور می‌کند". ترانزیستور nMOS (منطق) "۰" را خوب عبور می‌دهد ولی در عبور دادن (منطق) "۱" ضعیف عمل می‌نماید؛ برعکس ترانزیستور pMOS "۱" را مناسب، ولی "۰" را نامناسب عبور می‌دهد. ظاهر شدن و یا نشدن تابع مورد نظر در خروجی یک ترانزیستور عبور کاملا به وضعیت سیگنال کنترلی آن ترانزیستور بستگی دارد. بر پایه همین بنیان ساده، در سال ۱۹۹۷ یک طرح برای تولید همزمان XOR و XNOR ارائه شد [۱۱]. در این طرح ۸ ترانزیستوری، از منطق ترانزیستور عبور به همراه دو شبکه ترانزیستوری "پایین‌بر[۹] و بالابر[۱۰] استفاده شده است. این طرح را می‌توانید در شکل ۳ ملاحظه کنید.



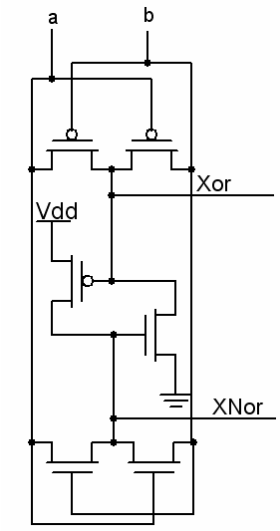
شکل ۳- نمایش مدار XOR-XNOR،۸ ترانزیستوری (۱۹۹۷)

همانطور که در شکل ۳ مشخص شده است، ورودی‌ها، در این طرح بصورت ضربدری، گیت چهار ترانزیستور عبور (دو nMOS و دو pMOS) را تحریک می‌کنند؛ این ورودی‌ها بطور همزمان، به سورس ترانزیستورهای مذکور نیز، متصل می‌شوند. درین ترانزیستورهای عبور به خروجی‌ها (XOR، XNOR) متصل هستند. همزمان با این شبکه عبور، یک شبکه بالابر به خروجی XNOR و یک شبکه پایین‌بر به خروجی XOR، متصل است. تحلیل این مدار بسیار ساده است،

اگر الگوی ورودی "۰۱"، یا "۱۰" باشد، شبکه‌های پایین‌بر و بالابر غیرفعالند و شبکه عبور pMOS، یک را به XOR، و شبکه عبور nMOS، صفر را به XNOR، منتقل می‌کند. مشکل اصلی این مدار در شبکه‌های عبور، و به‌هنگام اعمال الگوی‌های ورودی "۱۱" و "۰۰" بروز می‌کند. این مشکل، عدم "سوئینگ کامل[11] ولتاژ به ازای اعمال این الگوهای ورودی است. به هنگام وقوع الگوی "۰۰" در ورودی‌ها شبکه عبور nMOS، غیرفعال شده و شبکه پایین‌بر خروجی XOR فعال می‌گردد، در این هنگام خروجی XOR برابر ولتاژ صفر و معادل صفر منطقی خواهد بود. همزمان شبکه عبور pMOS، فعال گشته و ولتاژ |Vtp| را بعنوان ولتاژ معادل منطق صفر به خروجی XNOR هدایت می‌کند. به هنگام اعمال الگوی "۱۱" نیز شبکه عبور pMOS، غیرفعال شده و شبکه بالابر خروجی XNOR فعال می‌گردد، در این هنگام خروجی XNOR برابر ولتاژ Vdd و معادل یک منطقی خواهد بود. همزمان شبکه عبور nMOS، فعال گشته و ولتاژ Vdd-Vtn را بعنوان ولتاژ معادل منطق یک به خروجی XOR می‌فرستد.

در سال ۱۹۹۹ یک طراحی بهتر، با تعداد ترانزیستور کمتر، ارائه گردید [۲]. در این طراحی با استفاده از چهار ترانزیستور عبور، ۲ nMOS و ۲ pMOS (همان شبکه عبور بکار رفته در طراحی سال ۱۹۹۷)، و دو ترانزیستور "پسخورد[12]"، یک nMOS و یک pMOS، پیاده‌سازی برای توابع منطقی XOR و XNOR بصورت همزمان ارائه گردیده است. تحلیل عملکرد این مدار بسیار ساده صورت می‌پذیرد، بعنوان مثال، هرگاه در ورودی زوج "۱۱" مشاهده شود، دو ترانزیستور عبور pMOS ، بصورت خودکار از چرخه تحلیل خارج شده و تنها ترانزیستورهای عبور nMOS و پسخورد هستند که باید مورد بررسی قرار گیرند؛ در این شرایط هردو ترانزیستور عبور nMOS بدلیل مدل ضربدری قرارگیری سیگنال‌های ورودی را ("۱۱") را به خروجی هدایت می‌نمایند، در این شرایط همان‌طور که قبلا نیز ذکر شد، و همانند مشکل مدل قبلی که در شکل ۳ مشاهده می‌کنید، بعلت عبور منطق "۱" از ترانزیستور nMOS در خروجی آن، سیگنالی را با سوئینگ ریل به ریل ولتاژ، نخواهیم داشت؛ نکته بکارگیری ترانزیستورهای پسخورد نیز در اینجا نهفته است؛ پس از عبور یک سیگنال ضعیف منطق "۱"، این سیگنال به گیت، پسخورد نوع n اعمال شده، در نتیجه آن را روشن نموده و به همین سبب خروجی XOR و بدنبال آن، گیت، پسخورد نوع p را به زمین متصل می‌نماید؛ این اتصال به زمین، اولا باعث می‌شود که خروجی XOR کاملا صفر گردد (عبور منطق "۰" از ترانزیستور نوع n)، دوما، پسخورد نوع p روشن شده و خروجی XNOR را به Vdd متصل سازد، که با توجه به خصوصیت ترانزیستور نوع p ، در عبور کامل سیگنال منطق "۱"، خروجی XNOR دارای ولتاژی کاملا برابر با Vdd، خواهد بود. شکل ۴، این مدار XOR-XNOR ، ۶ ترانزیستوری را نمایش می‌دهد [۲-۴].

بنابراین، دومدار به‌وسیله پسخورد برای تولید توابع XOR وXNOR جفت می‌شوند. عامل اصلی برتری طرح معرفی شده در [۲] سوئینگ ریل به ریل ولتاژ با استفاده از ترانزیستور پایین‌بر (nMOS) وترانزیستور بالابر (pMOS)، در این مدار افت ولتاژ آستانه از هر دوخروجی حذف شده است که این امر امکان سوئینگ کامل ولتاژ، برای خروجی‌ها در همه حالات را فراهم می‌آورد. یک نکته منفی اساسی این طراحی در این است که بکارگیری این ترانزیستورهای پسخورد، اثر منفی روی فرکانس کاری مدار می‌گذارد. مشکل دیگر این مدار عدم صحت عملکرد آن در ولتاژهای تغذیه پایین، می‌باشد. بعنوان مثال برای تکنولوژی ۰،۱۸میکرومتر که در شبیه‌سازی‌ها مورد استفاده قرار گرفته است، مشاهده شد که این مدار در ولتاژهای تغذیه پایین‌تر از ۱،۲ ولت کار نمی‌کند. این مشکل نیز ناشی از اعمال سیگنال‌های ضعیف ۰ یا ۱ به گیت ترانزیستورهای پسخورد pMOS یا nMOS به‌هنگام اعمال زوج ورودی "۰۰" یا "۱۱"، می‌باشد. شایان ذکر است که طراح این مدار، طرح خود را با تکنولوژی ۰،۳۵ میکرومتر و تنها در ولتاژ ۳ ولت آزموده است، که در این شرایط این طرح بعنوان یکی از بهترین طرح‌های معرفی شده تا آن زمان شناخته شد. نکته بسیار با اهمیت دیگری که همواره باید مد نظر داشت، اهمیت انتخاب W/L مناسب برای ترانزیستورها به منظور تضمین عملکرد بهینه مدار در ولتاژهای تغذیه بالاتر از ۱،۲ ولت است [۲-۴، ۱۲].



شکل ۴- نمایش مدار XOR-XNOR، ۶ ترانزیستوری (۱۹۹۹)

همانطور که اشاره شد، مدار معرفی شده در [۱۱]، بعلت دارا نبودن سوئینگ کامل ولتاژ به ازای ورودی‌های "۰۰" و "۱۱"، و مدار معرفی شده در [۴] بعلت عدم امکان کارکرد در ولتاژهای پایین‌تر از ۱،۲ ولت (در تکنولوژی ۰،۱۸ میکرومتر)، هیچ‌یک دارای شرایط لازم برای بکارگیری در طراحی‌های بزرگ نبودند.

در سال ۲۰۰۳ طرحی نوین و بسیار مناسب، با استفاده از ترکیب دو طرح قبلی ارائه گردید [۱۳]. این طرح ۱۰ ترانزیستوری را در شکل ۵ مشاهده می‌کنید.

همانطور که در شکل ۵ مشخص است، در این طرح از همان ترانزیستورهای پسخورد بکار رفته در طرح [۲] به همراه شبکه‌های پایین‌بر و بالابر بکار رفته در طرح [۱۱] استفاده شده است. استفاده همزمان از این مدل‌های ترانزیستوری، باعث شده است که مدار معرفی شده ضمن ارائه سوئینگ ریل به ریل ولتاژ در خروجی‌ها، در ولتاژهای پایین‌تر از ۱،۲ ولت (تا ۰،۶ ولت در تکنولوژی ۰،۱۸ میکرومتر) نیز بطور صحیح عمل نماید. بعبارت دیگر این مدار، مشکل عدم اعمال ولتاژهای کامل (Vdd-Vtn برای یک منطقی، و |Vtp| برای صفر منطقی) به گیت ترانزیستورهای پسخورد را، با ترکیب مدل پسخورد و شبکه‌های بالابر و پایین‌بر حل نموده است.

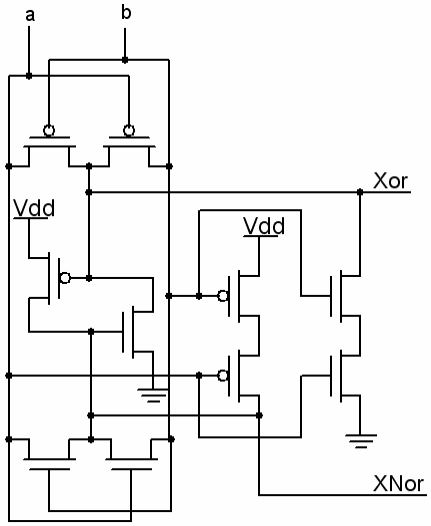
۵- طراحی مدار کمپرسور ۴:۲ مدمشترک

ساختارهای گوناگونی برای کمپرسور ۴:۲ ارائه شده است، که همگی سعی در پیاده‌سازی رابطه (۱) دارند.

$$x_1 + x_2 + x_3 + x_4 + c_{in} = sum + 2\cdot(carry + c_{out}) \qquad (۱)$$

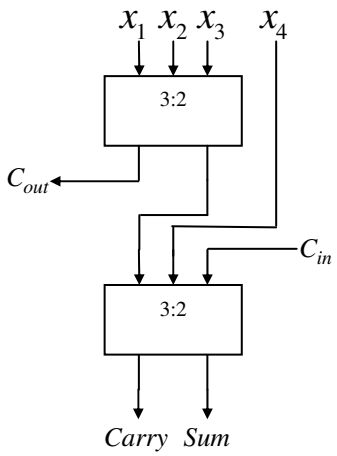
معماری کلی کمپرسور ۴:۲ نیز در شکل ۶ نشان داده شده است. در این معماری از عناصر پایه‌ای‌تری بنام تمام‌جمع‌گر یا شمارنده‌های ۲-۳، استفاده شده است. همان‌طور که مشخص است یک کمپرسور ۴:۲ دارای ۵ ورودی و ۳ خروجی است، در بین ۵ ورودی، ۴ ورودی، اصلی و ۱ ورودی، رقم‌نقلی ورودی از مرحله

قبلی می‌باشد [۱۴]؛ در بین ۳ خروجی نیز، دو خروجی، اصلی، و یک خروجی، رقم‌نقلی ارسالی به ماژول (مرحله) بعدی محسوب می‌شود [۱].



شکل ۵- نمایش مدار XOR-XNOR، ۱۰ ترانزیستوری (۲۰۰۳)

اگر به داخل این معماری نگاهی بیندازیم، به شکل ۷ خواهیم رسید. در پیاده‌سازی مدولتاژ، مدار نشان داده شده در قسمت قبلی (شکل ۴) بعنوان مولد تابع XOR-XNOR ، و از مدار نشان داده شده در شکل ۸، بعنوان "مالتی‌پلکسر[۱۳]"، استفاده می‌نماییم. مشکل اصلی در بکارگیری طرح شکل ۸ بعنوان مالتی‌پلکسر وقتی آشکار می‌شود که طرح نهایی در زنجیره‌های طولانی قرار گیرد. طرح شکل ۸ بعلت تحمیل تاخیر با ضریب n^2 (که n در آن تعداد طبقات است،) قابلیت استفاده در زنجیره‌های طولانی را نخواهد داشت. تحلیل دقیق تاخیر، ساده نمی‌باشد، ولی چنان‌چه گیت‌های عبور را در زنجیره (معادل مقاومتی و خازنی) RC و بصورت شکل ۹ (الف و ب) مدل کنیم، می‌توانیم ثابت زمانی خروجی زنجیره nتایی گیت‌های انتقال را به صورت رابطه (۲) تخمین بزنیم.



شکل ۶- معماری کلی کمپرسور ۴:۲

$$\tau(V_n)=\sum_{k=0}^{n} CR_{eq}\cdot k = CR_{eq}\cdot\frac{n(n+1)}{2} \qquad (۲)$$

نتیجه رابطه (۲) بدین معنا است که، تاخیرانتشار زنجیره nتایی از گیت‌های انتقال دارای تاخیری متناسب با n^2 است. بعبارت بهتر استفاده از زنجیره‌های طولانی گیت‌انتقال بشدت تاخیر مدار حاصله را افزایش می‌دهد. در این رابطه Req همان مقاومت معادل یک گیت انتقال می‌باشد.

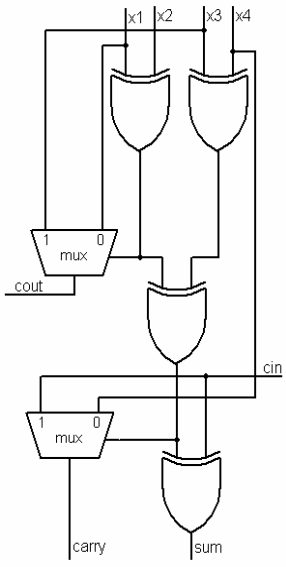
متداول‌ترین رهیافت برای حل و فصل کردن این تاخیر فوق‌العاده، شکستن زنجیره بدین صورت است که، به ازای هر m سوئیچ (گیت‌انتقال)، یک بافر به مدار اضافه شود. در این زنجیره جدید که در شکل ۱۰ نشان داده شده است، تاخیر انتشار t_{buf} را برای هر بافر در نظر می‌گیریم، تاخیر انتشار کل شبکه گیت‌انتقال به اضافه بافرها را می‌توان به صورت رابطه (۳) محاسبه کرد.

$$t_p \;\alpha\; \left(\frac{n}{m}\cdot CR_{eq}\frac{m(m+1)}{2}\right)+\left(\frac{n}{m}-1\right)\cdot t_{buf} = \left(CR_{eq}\frac{n(m+1)}{2}\right)+\left(\frac{n}{m}-1\right)\cdot t_{buf} \qquad (۳)$$

تاخیر خروجی تنها یک رابطه خطی با تعداد سوئیچ‌ها n را نشان می‌دهد. این بدان معنا است که، میزان وابستگی از درجه دوم، به درجه اول (n) کاهش یافته است. تعداد بهینه سوئیچ‌ها (m_{opt})، از نتیجه $\frac{\partial t_p}{\partial m}=0$، بصورتی که در رابطه (۴) آمده است، بدست می‌آید.

$$m_{opt}=1.7\sqrt{\frac{t_{buf}}{CR_{eq}}} \qquad (۴)$$

بدین دلیل برای استفاده از کمپرسور ۴:۲ مدولتاژ در زنجیره‌ی طولانی از کمپرسورها مناسب‌تر است که از طرح شکل ۱۱ بعنوان مالتی‌پلکسر استفاده شود. اگر درخت تولید جمع (درخت XOR) را کاملا از درخت تولید ارقام نقلی جدا نماییم، دید بهتری نسبت به مدار خواهیم داشت. همان‌طور که مشخص است، برای تولید هر رقم‌نقلی، نیاز به پیاده‌سازی تابع اکثریت می‌باشد [۳].

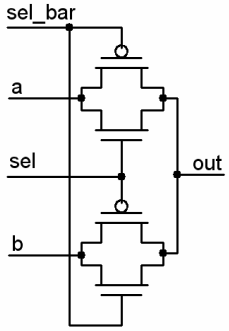


شکل ۷- نمایش داخلی معماری کمپرسور ۴:۲

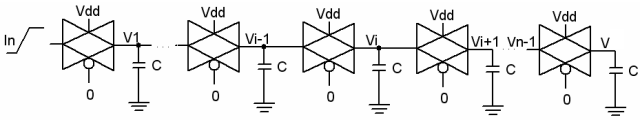
برای تولید این تابع در مدولتاژ، با شرایط طراحی که در بالا آمده است، نیاز به پیاده‌سازی یک گیت XOR به همراه یک مالتی‌پلکسر است، که اگر با همان روند طراحی و مدارات ارائه شده کار کنیم به ۱۰ ترانزیستور (۶ عدد برای XOR-XNOR و ۴ عدد برای مالتی‌پلکسر) نیاز است؛ اگر بصورت کاملا جدا پیاده‌سازی

صورت گیرد نیز در بهترین پیاده‌سازی، بنا بر شکل ۱۲، به ۱۲ ترانزیستور نیاز است [۳، ۴، ۱۲].

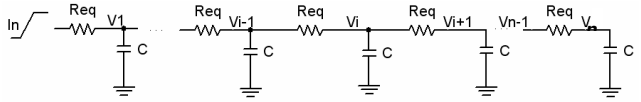
این درحالی است که پیاده‌سازی تابع اکثریت در مدجریان بسیار ساده و سریع‌تر صورت می‌پذیرد. پیاده‌سازی تابع اکثریت در مدجریان را در شکل ۱۳ نشان داده‌ایم [۶-۸].



شکل ۸- پیاده‌سازی مالتی‌پلکسر

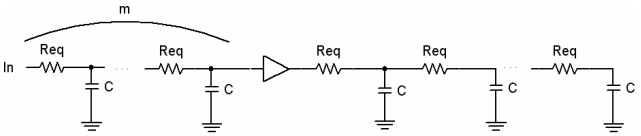


(الف)

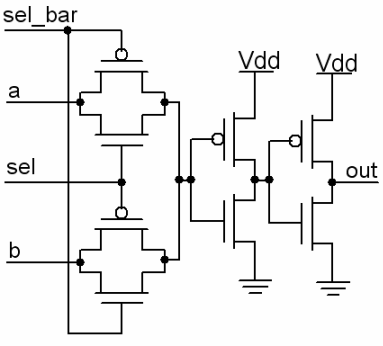


(ب)

شکل ۹- تاخیر در زنجیره گیت انتقال، الف) زنجیره‌ای از گیت‌های عبور ب) شبکه RCی معادل

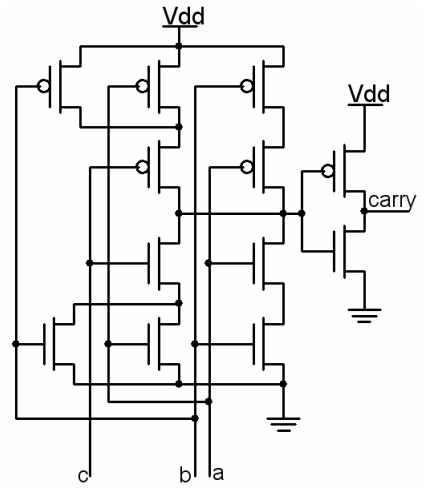


شکل ۱۰- تقسیم زنجیره‌های بلند گیت‌انتقال به زنجیره‌های کوچک‌تر به همراه بافر میانی

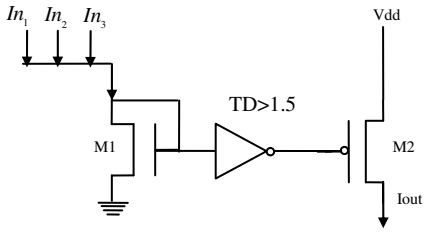


شکل ۱۱- پیاده‌سازی مالتی پلکسر

در نگاه اول، تفاوت تعداد ترانزیستور مصرفی بسیار روشن می‌باشد. بعلت استفاده یکسان از درخت XOR در مدولتاژ و مدمشترک[۱۴] معرفی شده توسط ما، بهتر است از ترکیب XOR و مالتی‌پلکسر بعنوان مولد رقم‌نقلی (تابع اکثریت) استفاده شود. نمایش کمپرسور ۴:۲ مدمشترک در شکل ۱۴ آورده شده است. در این نمایش V_{sum}، I_{carry}، I_{cout} به‌ترتیب، جمع، رقم‌نقلی اصلی و رقم‌نقلی ارسالی به مرحله بعد می‌باشند. شکل کلی پیاده‌سازی XOR پنج ورودی نیز مطابق همان طراحی‌های پیشین با ۴ عدد XOR-XNOR دو ورودی، خواهد بود. در طرح پیشنهادی از مدار شکل ۵ در درخت XOR، XNOR استفاده شده است. با این پیاده‌سازی که در کل ۴۸ ترانزیستور خواهیم داشت. پیاده‌سازی طرح با مدار تولید XOR، XNOR شکل ۴، شامل ۳۲ ترانزیستور خواهد بود.



شکل ۱۲- تابع مولد رقم‌نقلی (اکثریت) مدولتاژ



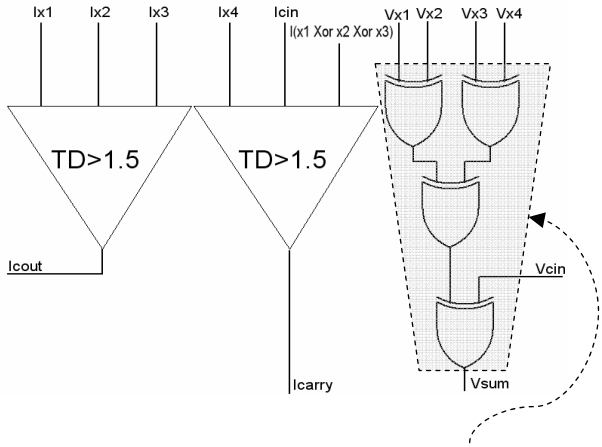
شکل ۱۳- تابع مولد رقم‌نقلی (اکثریت) مدجریان

الگوریتم عملکرد مدار پیشنهادی بصورت زیر خواهد بود:

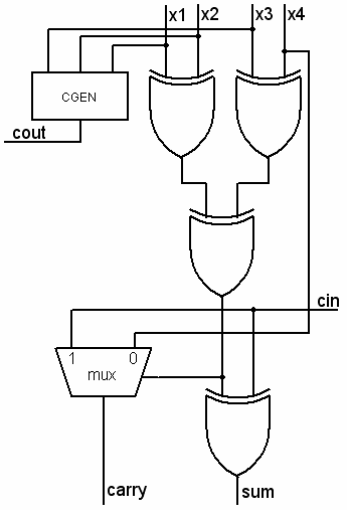
- هرگاه $I_{x1} + I_{x2} + I_{x3}$ بزرگ‌تر از ۱،۵ باشد، آنگاه $I_{cout}=1$ و در غیر این صورت $I_{cout}=0$ است.
- هرگاه $I_{x4} + I_{cin} + (I_{x1}\ XOR\ I_{x2}\ XOR\ I_{x3})$ بزرگ‌تر از ۱،۵ باشد، آنگاه $I_{carry}=1$ و در غیر این صورت $I_{carry}=0$ است.

اگر $(V_{x1}\ XOR\ V_{x2}\ XOR\ V_{x3}\ XOR\ V_{x4}\ XOR\ V_{cin})$ برقرار باشد، آنگاه $V_{sum}=1$ و در غیر این صورت $V_{sum}=0$ است. در طراحی مدولتاژ نیز با شرایط ذکر شده ۶۰ ترانزیستور بکار خواهد رفت؛ یک نکته اینکه، همان‌طور که بیان شد، با توجه به پیاده‌سازی مالتی‌پلکسر با منطق گیت‌عبور، و عنایت به این موضوع که تاخیر تحمیلی به کل سیستم، برای زنجیره‌های بلندی از کمپرسور ۴:۲، به ازای اضافه شدن هر گیت‌عبور با n^2 نسبت مستقیم دارد، به همین دلیل است که مدار مدولتاژی که در شکل ۱۲ آمده است، به‌جای بالاترین طبقه مالتی‌پلکسر قرار می‌گیرد تا طراحی سریع‌تری حاصل شود، شکل ۱۵ سریع‌ترین معماری کمپرسور ۴:۲ مدولتاژ را نشان می‌دهد. در این مدار از مدل شکل ۱۱ برای مالتی‌پلکسر و از مدل شکل ۵ برای تولید XOR، XNOR و از مدار شکل ۱۲ بعنوان بلوک CGEN استفاده شده است [۳، ۴، ۱۲] . اگر مدار شکل ۱۵ را با مدل تولید XOR، XNOR شکل ۴ پیاده‌سازی نماییم و بجای مالتی‌پلکسر مدل شکل ۱۱ از شکل ۸ استفاده کنیم می‌توانیم تعداد ترانزیستور استفاده شده را به

۴۰ عدد کاهش دهیم. بعبارت بهتر چه در حالت اول و چه در حالت دوم، مدار پیشنهادی بهبودی معادل ۲۰٪ در تعداد ترانزیستور مصرفی ایجاد خواهد نمود.



شکل ۱۴- کمپرسور ۴:۲ مدمشترک پیشنهادی



شکل ۱۵- معماری سریع‌ترین کمپرسور ۴:۲ مدولتاژ

۶- شرایط و نتایج شبیه‌سازی

شبیه‌سازی هر دو مدار با استفاده از تکنولوژی ۰٫۲۵ میکرومتر با شرایط مدل BSIM*v*3، در نرم‌افزار HSpice و تحلیل داده‌های بدست آمده با نرم‌افزار CosMos-Scope، روی ارقام‌نقلی خروجی و نتیجه جمع در مرحله بعد، برای هر دو پیاده‌سازی و در بازه ولتاژ (تغذیه) ۱٫۲ولت تا ۳٫۵ولت در دمای ثابت ۲۷درجه سانتی‌گراد، و طبق مدل آورده شده در شکل ۱۶، صورت گرفته است [۱۵].

در این مدل تمامی مسیرهای تاخیر ممکنه مورد بررسی قرار گرفته‌اند و در نهایت بیشینه تاخیر آنها بعنوان تاخیر مدار آورده شده است. شایان ذکر است که با توجه به وابستگی میزان تاخیر به الگوی ورودی، ۵۱۲ حالت ممکنه توسط Matlab تولید و بعنوان الگوی ورودی به مدار اعمال شد، در نهایت بیشینه تاخیرهای بدست آمده مورد محاسبه قرارگرفتند.

شکل ۱۷، ۱۸ و ۱۹ بیان‌کننده نتایج حاصله از شبیه‌سازی‌ها می‌باشد. طبق نتایج بدست آمده نمودار طرح پیشنهادی با برتری کامل نسبت به پیاده‌سازی کامل مدولتاژ از نظر معیار PDP (شکل ۱۹)، بصورت جزء چه از لحاظ تاخیر (شکل ۱۷) و چه از نظر میانگین توان‌مصرفی (شکل ۱۸) نیز بهبود قابل توجهی نشان می‌دهد. مقایسه دو طرح از نظر تاخیر در جدول ۱.الف، از لحاظ میانگین توان‌مصرفی در جدول ۱.ب و با توجه به کمیت PDP (حاصل‌ضرب میانگین توان‌مصرفی در تاخیر) در جدول ۱.ج آمده است.

جدول ۱- نتایج حاصل از شبیه‌سازی توان‌مصرفی و تاخیر

(الف)

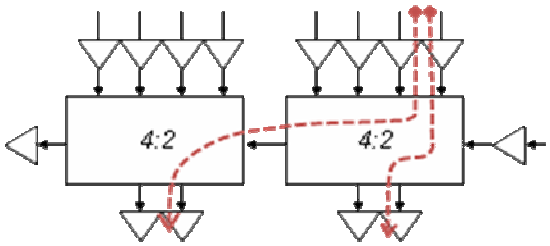
تاخیر گیت (s)	بیشینه (@ 1.2v)	کمینه (@ 3.5v)
مد ولتاژ	1.4910n	372.1452p
مد مشترک	1.3335n	293.0942p
بهبود (٪)	۱۰٫۵	۲۱٫۲

(ب)

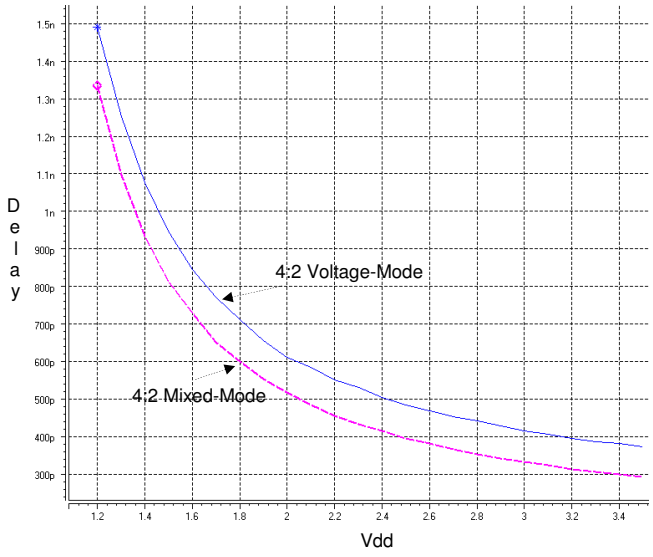
توان‌مصرفی (w)	بیشینه (@ 3.5v)	کمینه (@ 1.2v)
مد ولتاژ	208.5352u	21.6109u
مد مشترک	202.5585u	21.9367u
بهبود (٪)	۲٫۸	-۱٫۵

(ج)

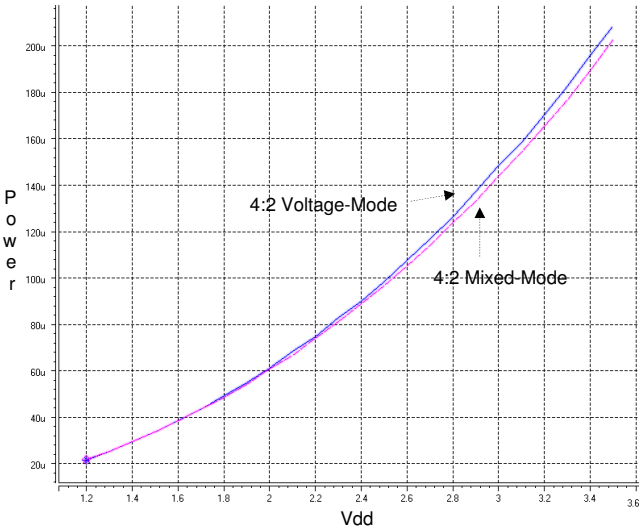
توان در تاخیر (j)	بیشینه (@ 3.5v)	کمینه (@ 1.2v)
مد ولتاژ	77.6054f	31.7317f
مد مشترک	59.3687f	27.3864f
بهبود (٪)	۲۳٫۴	۱۳٫۶



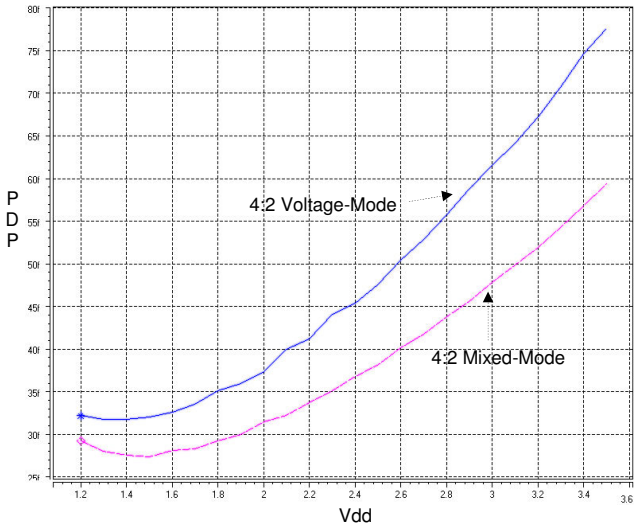
شکل ۱۶- مدل شبیه‌سازی



شکل ۱۷- نمودار تاخیر بر حسب تغییرات ولتاژ تغذیه



شکل ۱۸- نمودار میانگین توان‌مصرفی بر حسب تغییرات ولتاژ تغذیه



شکل ۱۹- نمودار حاصلضرب میانگین توان‌مصرفی در تاخیر بر حسب تغییرات ولتاژ تغذیه

۷- نتیجه‌گیری

در این مقاله با ترکیب مدجریان و مدولتاژ و بهره‌وری از خصوصیت‌های این دو تکنولوژی مدار کمپرسور ۴:۲ را طراحی نموده‌ایم که مزایای آن در زمینه سرعت، قابل توجه می‌باشد. مدار طراحی شده در قسمت XOR از مدولتاژ و در طراحی تابع مولد رقم‌نقلی و یا بعبارت بهتر تابع اکثریت، از آشکارسازهای آستانه در مدجریان استفاده می‌نماید.

مزیت مدولتاژ در ساده بودن طراحی و استفاده گسترده آن در تکنولوژی دیجیتال بوده و مزیت مدجریان، در خصوصیات جریان مانند رایگان بودن عمل جمع و استفاده از ترانزیستورهای کمتر است. پس از شبیه‌سازی، بدست آمد که مدار مدمشترک ارائه شده برای کمپرسور ۴:۲، نسبت به سریع‌ترین مدار معرفی شده در بین مدارات مدولتاژ، بیش از ۱۰٪ (در ولتاژ ۱٫۲ولت) و ۲۱٪ (در ولتاژ ۳٫۵ولت)، سریع‌تر می‌باشد. در مقایسه میانگین توان‌مصرفی نیز مشاهده گردید که مدار پیشنهادی در ولتاژ ۳٫۵ولت حدود ۲٫۸٪ بهبود نسبت به مدار مدولتاژ از خود نشان داده است؛ ولی با تغییر ولتاژ تغذیه به مقادیر کمتر از ۳٫۵ولت به تدریج برتری مدار پیشنهادی کاهش یافته تا جایی که در حوالی ولتاژ ۱٫۲ولت در حدود ۱٫۵٪ افت در توان‌مصرفی میانگین دیده می‌شود؛ اهمیت این افت با توجه به میزان قابل‌توجه ۱۳٫۶٪ بهبود، در کمیت PDP، (در ولتاژ تغذیه ۱٫۲ولت،) تا حدود زیادی کم رنگ خواهد شد. بعلاوه اینکه با افزایش ولتاژ تغذیه از ۱٫۲ولت به ۳٫۵ولت، شاهد افزایش چشمگیر بهبود می‌باشیم. این افزایش بهبود تا بیش از ۲۳٫۴٪ در ولتاژ ۳٫۵ولت ادامه می‌یابد. از طرفی دیگر طرح پیشنهادی در مقایسه با سریع‌ترین مدار مدولتاژ، از نظر تعداد ترانزیستور مصرفی، کاهشی معادل ۲۰٪ (کاهش تعداد ترانزیستور مصرفی از ۴۰ به ۳۲) را ایجاد نموده است.

مراجع

[1] A. K. Peters, MA. Natick, Israel Koren, *Computer Arithmetic Algorithms*, 2nd Edition, ISBN 1-56881-160-8, 2002.

[2] D. Radhakrishnan, "Low-voltage low-power CMOS full adder," *IEE Proc. Circuits, Devices Syst.*, vol. 148, no. 1, pp. 19-24, Feb. 2001.

[3] C. Chang, J. Gu, M. Zhang, "Ultra Low-Voltage Low-Power CMOS 4-2 and 5-2 Compressors for Fast Arithmetic Circuits," *IEEE Transactions on Circuits & Systems*, vol. 51, no. 10, pp. 1985-1997, Oct. 2004.

[4] O. Kavehie, K. Navi, "A Novel 54×54-bit Scalable Multiplier Architecture," *13th Iranian Conf. on Electrical Engineering*, pp: 367-371, Zanjan, Iran, May 2005.

[5] Temel, T. and A. Morgül, "Implementation of Multi-valued Logic Gates Using Full Current mode CMOS Circuits," *Analog Integrated Circuits and Signal Processing*, vol. 39, no. 2, pp.191-204, 2004.

[6] K. Navi, A. Kazeminejad, D. Etiemble, "Performance of CMOS Current Mode Full Adders," *IEEE Proc. 24th International Symposium on Multiple-Valued Logic, ISMVL*, pp. 27-34, Boston, USA, May 1994.

[7] K. Navi, D. Etiemble, "From Multi-Valued Current Mode CMOS Circuits to Efficient Voltage Mode CMOS Arithmetic Operators," *IEEE Proc. 25th International Symposium on Multiple-Valued Logic, ISMVL*, pp. 58-63, Bloomington, USA, May 1995.

[8] A. Kazeminejad, K Navi, D. Etiemble, "CML Current Mode Full Adders for 2.5 Volt Power Supply," *IEEE Proc. 24th International Symposium on Multiple-Valued Logic, ISMVL*, pp. 10-14, Boston, USA, May 1994.

[9] M. Yamashina, H. Yamada, "MOS current mode logic MCML circuit for low-power GHz processors," *NEC Res. Develop.* vol. 36, no. 1, pp.54–63, Jan. 1995.

[10] M.W. Allam, and M.I. Elmasry, "Dynamic Current Mode Logic (DyCML): A New Low-Power High-Performance Logic Style," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pp. 550-558, March 2001.

[11] A.M. Shams, M.A. Bayoumi, "A structured approach for designing low-power adders," *Proc. 31st Asilomar Conf. Signals, Systems, and Computers*, pp. 757–761, Pacific Grove, CA, June 1997.

[12] O. Kavehie, K. Navi, "A New Design for 27:2 Compressor," *10th Annual Computer Society of Iran Computer Conf.*, pp. 15-17, Tehran, Iran, Feb. 2005,.

[13] J. Gu, C.H. Chang, "Ultra Low-voltage, low-power 4-2 compressor for high speed multiplications," *Proc. 36th IEEE Int. Symp. Circuits & Systems*, Bangkok, Thailand, May 2003.

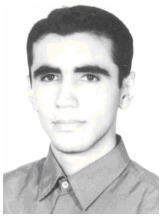
[14] R. Zimmermann, W. Fichtner, "Low-power logic styles: CMOS versus pass-transistor logic," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1079–1090, July 1997.

[15] BSIM3 Models: Parameters and Equations, http://www.mosis.org.

کیوان ناوی عضو هیات علمی گروه مهندسی کامپیوتر دانشکده مهندسی برق و کامپیوتر دانشگاه شهیدبهشتی می‌باشد. ایشان مدرک کارشناسی سخت افزار کامپیوتر خود را از دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی در سال ۱۳۶۶ اخذ نمود. مدرک کارشناسی‌ارشد سخت افزار کامپیوتر خود را در سال ۱۳۶۹ از دانشکده مهندسی برق دانشگاه صنعتی شریف دریافت نمودند. ایشان مدرک دکتری خود را در رشته معماری کامپیوتر از دانشگاه پاریس XI (LRI) در سال ۱۹۹۵ اخذ نمود. زمینه های تحقیقاتی مورد علاقه او حساب کامپیوتر، منطق چند مقداری، طراحی مدارات کم‌مصرف و سرعت بالا، طراحی مدارات مدجریان، محاسبات کوانتومی و ترانزیستورهای تک الکترونی می‌باشد.

آدرس پست الکترونیکی ایشان عبارتست از:

navi@sbu.ac.ir



امید کاوه‌ای دوره کارشناسی خود را در سال ۱۳۸۲ با کسب رتبه اول از دانشگاه اراک اخذ نمود. دوره کارشناسی‌ارشد را نیز با کسب رتبه اول در دانشگاه شهید بهشتی در سال ۱۳۸۴ به پایان رساند. ایشان هم اکنون دانشجوی دوره دکتری دانشکده مهندسی برق و کامپیوتر دانشگاه شهیدبهشتی با گرایش معماری کامپیوتر می‌باشند. زمینه‌های تحقیقاتی مورد علاقه او طراحی مدارات پرتراکم کم‌مصرف با کارآیی بالا و حساب کامپیوتر می‌باشد.

آدرس پست الکترونیکی ایشان عبارتست از:

kavehie@sbu.ac.ir

پویا اسدی دوره کارشناسی را از دانشگاه آزاد اسلامی واحد تهران مرکزی در رشته مهندسی کامپیوتر گرایش سخت افزار در سال ۱۳۷۴ و کارشناسی‌ارشد را از دانشگاه آزاد اسلامی واحد علوم و تحقیقات در رشته مهندسی کامپیوتر گرایش معماری کامپیوتر در سال ۱۳۸۳ فارغ التحصیل شده است. دانشجوی دکتری رشته مهندسی کامپیوتر گرایش سخت افزار دانشگاه آزاد اسلامی واحد علوم و تحقیقات و عضو هیات علمی دانشگاه آزاد اسلامی واحد ورامین می‌باشد.

آدرس پست الکترونیکی ایشان عبارتست از:

asadi_po_83@sr.iau.ac.ir

[1] Compressor
[2] Pass-Transistors
[3] Transmission Gates
[4] Current-Mode
[5] Majority
[6] Voltage-Mode
[7] Carry Generator Function
[8] Threshold Detector
[9] Pull-Down Network
[10] Pull-Up Network
[11] Full-Swing
[12] Feedback
[13] Multiplexer
[14] Mixed-Mode