علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۵، شماره ۳، ۱۳۸۶
صفحات ۱۶-۲۶
مقاله کوتاه

توزیع مناسب منابع بافر با طرح‌ریزی بافرها در سطح جاسازی با هدف کاهش تعداد بافر و مدیریت تراکم

علی جهانیان　　مرتضی صاحب‌الزمانی

دانشکده مهندسی کامپیوتر و فناوری اطلاعات، دانشگاه صنعتی امیرکبیر، تهران، ایران

چکیده

درج بافر به عنوان یکی از روش‌های مؤثر برای بهبود کارایی اتصالات و افزایش امنیت سیگنال‌ها در طراحی‌های زیرمیکرون اهمیت زیادی دارد. اما استفاده از تعداد زیادی بافر در طرح باعث افزایش توان مصرفی و نیز تراکم اتصالات خواهد شد، لذا درج بافرها با هدف استفاده مناسب از منابع بافر در خواص نهایی تراشه بسیار مهم خواهد بود.

در این مقاله الگوریتمی برای طرح‌ریزی بافرها در مرحلهٔ جاسازی ارائه شده که با توزیع مناسب منابع بافرها، شرایط را برای درج کارآمد آن‌ها در مراحل بعدی هموارتر می‌سازد. آزمایش‌های انجام شده نشان می‌دهد که این روش می‌تواند با تعداد کمتری بافر به کارایی مناسبی برسد. در ضمن آزمایش‌های انجام شده روی وضعیت تراکم نشان می‌دهد که در این روش، تراکم ناشی از درج بافر کاهش یافته است. مزیت دیگر این روش بهبود همگرایی روند طراحی است که منجر به کاهش تعداد تکرارهای روند طراحی خواهد شد و آزمایش‌هایی که بدین منظور انجام شده گواه این بهبود می‌باشند. تحلیل‌ها و آزمایش‌های انجام شده نشان می‌دهد که اجرای الگوریتم فوق سربار زمانی بسیار کمی دارد.

کلمات کلیدی: طرح‌ریزی بافر، درج بافر، تراکم.

۱- مقدمه

با کوچک شدن ابعاد فناوری ساخت تراشه‌ها، اندازهٔ ترانزیستورها کوچک‌تر شده و بخش اعظم تأخیر تراشه مربوط به اتصالات شده است، لذا طراحی صحیح اتصالات اهمیت بسیار یافته است. در این میان، استفاده از بافر برای کاهش تأخیر سیم‌های سراسری به‌عنوان روشی موثر مطرح است. تا جایی که در طراحی‌های امروزی برای دستیابی به بستار زمانی[1] مورد نیاز طراح، لازم است هزاران بافر در طرح گنجانیده شود [۱]. درج بافر تأخیر سیم‌های سراسری را کاهش می‌دهد، اما مساحت کلی تراشه و توان مصرفی را افزایش می‌دهد و طرح‌ریزی صحیح بافرها در مراحل اولیهٔ طراحی در جهت کاهش تعداد بافر درج شده از اهمیت بالایی برخوردار است.

مرحله‌ای از طراحی فیزیکی که در آن عمل درج بافر صورت می‌گیرد، برای کیفیت درج بافر بسیار حائز اهمیت است، زیرا درج بافر در مراحل پایانی طراحی فیزیکی به‌دلیل ثابت شدن محل سلول‌ها دشوار است و ممکن است در محل‌هایی که نیاز به تعداد بافر بیشتری می‌باشد، منابع بافر (یا فضای خالی برای درج بافر) به قدر کافی موجود نباشد. درج بافر در مرحلهٔ جاسازی[2] هم به‌دلیل مشخص نبودن محل سلول‌ها ممکن است در تشخیص مسیرهای بحرانی و تعیین محل مناسب برای بافر با خطای زیادی همراه باشد. لذا، بهتراست بافرها در مرحلهٔ جاسازی، طرح‌ریزی و سپس در مراحل بعدی طراحی فیزیکی درج گردند [۲]. در کنار موارد فوق، قابلیت مسیریابی[3] طرح همواره فاکتور مهمی بوده است و هر روشی که برای طرح‌ریزی بافرها ارائه گردد باید این عامل را نیز در نظر داشته باشد.

مشکل دیگری که در چند سال اخیر اهمیت بیشتری یافته است، واگرایی روند طراحی[4] و نیاز به تکرار مراحل طراحی به دلیل عدم همخوانی پارامترهای فیزیکی در انتهای روند طراحی با تخمین‌های سطوح بالاتر می‌باشد. به‌عنوان مثال اگر درج بافر نتواند بستار زمانی مورد نیاز طراح را برآورده سازد یا به‌دلیل ایجاد تراکم اتصالات در روند درج بافر منجر به عدم مسیریابی شود، باید بخش‌هایی از روند طراحی تکرار گردد و ممکن است این تکرار بارها و بارها رخ دهد، بدون آنکه روند

طراحی به‌سوی شرایط مورد نیاز طراح همگرا شود. در این مقاله روشی برای طرح‌ریزی و درج بافرها ارائه شده که در آن در مرحلهٔ جاسازی، موقعیت کلی بافرها با توجه به اطلاعات این سطح، تخمین زده و یک نقشه از نیازمندی نواحی مختلف به بافر ایجاد می‌شود. سپس در مراحل بعدی طراحی فیزیکی با رعایت این تخمین، بافرها درج می‌گردند. بدین ترتیب هم از تخمین مراحل بالاتر استفاده می‌شود و هم درج بافر و تعیین موقعیت نهایی آن تا مراحل پایانی جایابی[۵] که در آن محل دقیق سلول‌ها مشخص می‌شود، به تعویق می‌افتد. به بیان دیگر در این روند هم از دید کلی مرحلهٔ جاسازی استفاده می‌شود و هم به الگوریتم جایابی اجازه داده می‌شود در چارچوب تعیین شده در مرحلهٔ جاسازی، موقعیت نهایی هر سلول یا بافر را تعیین نماید.

الگوریتم ارائه شده دارای دو مرحله است. در مرحلهٔ جایابی کلی[۶]، یک نقشهٔ آماری از نیازمندی نواحی مختلف طرح به بافر تخمین زده می‌شود که آن را نقشهٔ نیازمندی به بافر یا به اختصار BRM[۷] نامیده‌ایم و سپس در مرحلهٔ جایابی جزئی[۸]، الگوریتم جایابی فضاهای خالی را متناسب با این نقشه توزیع می‌نماید تا در مرحلهٔ درج بافر - که بعد از جایابی انجام خواهد شد- توزیع بافرها مطابق با نیاز به آنها باشد. در تولید BRM، تراکم نواحی مختلف طرح هم در نظر گرفته می‌شود و بافرها در نواحی کم‌تراکم طرح‌ریزی می‌گردند که این نوع طرح‌ریزی قابلیت مسیریابی تراشه را بهبود خواهد داد. در طی انجام طرح‌ریزی بافر، پارامتر تراکم هم در نظر گرفته شده است، به‌نحوی که بافرهای افزوده شده در نواحی کم‌تراکم قرار گیرند که باعث ایجاد حداقل افت قابلیت مسیریابی در اثر درج بافر خواهد شد.

بخش‌های بعدی مقاله به‌صورت زیر سامان یافته است. در بخش ۲ روش‌های کنونی طرح‌ریزی بافرها مرور می‌شود و در بخش ۳ ایدهٔ اصلی این مقاله مطرح می‌گردد. در بخش ۴ الگوریتم تولید BRM ارائه شده و در بخش‌های ۵ و ۶ الگوریتم پیاده‌سازی شده برای انجام جایابی جزئی با در نظر گرفتن BRM بررسی می‌گردد. در بخش ۷ آزمایش‌های انجام شده و نتایج به‌دست آمده بررسی و تحلیل می‌گردد و سرانجام در بخش ۸ نتیجه‌گیری مقاله ارائه می‌شود.

۲- پیشینهٔ کار

ایدهٔ طرح‌ریزی بافرها در [۳]، [۴] و [۵] مطرح گردید. گروه Cong [۳] مفهوم ناحیهٔ شدنی[۹] را با هدف امکان درج بافر در فضاهای خالی بین بلوک‌های بزرگ در مرحلهٔ جاسازی مطرح نمودند. ناحیهٔ شدنی یک بافر عبارتست از بزرگترین ناحیه‌ای که بافر می‌تواند در آن درج گردد، به‌طوری که شرایط زمانی مورد نیاز برای تأخیر مسیری که بافر روی آن درج شده برآورده شود. در [۴] مفهوم جدیدی تحت عنوان ناحیهٔ شدنی مستقل[۱۰] ارائه گردید. ناحیهٔ شدنی مستقل برای یک بافر ناحیه‌ای است که قرارگیری بافر در آن می‌تواند شرایط زمانی را برآورده سازد، با فرض اینکه نیازمندی‌های زمانی بقیهٔ بافرهایی که نواحی شدنی مشترک با این بافر دارند نیز برآورده گردد [۴].

Tang و Wong در [۵] یک روش با زمان چند جمله‌ای برای استفادهٔ بهینه از فضای بین بلوک‌های مرحلهٔ جاسازی جهت درج بافر نمودند که در آن سعی می‌شود از این فضا برای درج حداکثر تعداد بافر استفاده نماید. در [۶]، [۷] و [۸] یک روش جاسازی با در نظر گرفتن تراکم نواحی به همراه امکان درج بافر ارائه شده است که از فضای بین بلوک‌ها برای درج بافر استفاده می‌کند. Sham و همکاران در [۹] یک جاسازی برپایهٔ قابلیت مسیریابی و طرح‌ریزی بافرها ارائه کرده‌اند که در حین انجام جاسازی، بافرها را در فضای خالی بین بلوک‌ها درج کرده و برای تعیین محل بافرها معیار قابلیت مسیریابی را نیز در نظر می‌گیرد. در [۱۰] روشی برای توزیع فضاهای خالی بین بلوک‌ها در حین انجام جایابی به منظور بهبود بستار زمانی ارائه شده است و یک روش جاسازی برپایه تراکم نیز مطرح گردیده است. در [۱۱] یک روش آماری برای طرح‌ریزی بافرها در مرحلهٔ جاسازی مطرح شده که با استفاده از خواص آماری طرح، یک راه‌کار مقاوم در مقابل اعوجاج پارامترهای طراحی برای طرح‌ریزی و درج بافرها بین بلوک‌های مرحلهٔ جاسازی ارائه شود.

در روش‌های فوق از الگوریتم‌ها و ایده‌های متفاوتی برای طرح‌ریزی بافرها در مرحلهٔ جاسازی استفاده شده است، اما ویژگی مشترک آنها این است که همهٔ آنها براساس این فرض عمل می‌کنند که بلوک‌های مرحلهٔ جاسازی به‌صورت جعبهٔ سیاه و انعطاف‌ناپذیر هستند و تنها از فضای بین آنها برای درج بافر استفاده می‌نمایند. این دسته روش‌ها دارای اشکالات زیر هستند [۲]:

- درج بافر در فضای خالی بین بلوک‌ها باعث افزایش تراکم مسیریابی در آن نواحی خواهد شد.
- محدود بودن به فضای بین بلوک‌ها، مساله درج بافر را بسیار محدود می‌کند.
- این روش نمی‌تواند از فضاهای خالی داخل بلوک‌ها استفاده نماید.
- درج بافر در مرحلهٔ جاسازی به معنای ثابت نمودن محل بافر می‌باشد که با توجه به مشخص نبودن محل سایر سلول‌های طرح، ممکن است با خطای زیادی همراه باشد.

در ادامهٔ روش‌های فوق، تحقیقات دیگری نیز انجام شده که همگی مشکلات فوق را دارا بوده‌اند و تنها با هدف در نظر گرفتن برخی خواص جانبی مثل تراکم و نویز در مرحلهٔ درج بافر، ارائه شده‌اند. در [۱۲] و [۱۳] روش‌های جاسازی برپایه قابلیت مسیریابی بررسی شده و یک روش احتمالاتی برای درج بافر در مرحلهٔ جاسازی ارائه شده است و فرض شده که در مسیر هر اتصال بتوان به اندازهٔ کافی بافر برای درج یافت که این فرض در شرایطی که طرح دارای تراکم بالایی باشد، فرض قابل قبولی نخواهد بود. در [۱۴] یک روش سلسله مراتبی برای درج بافر در مرحلهٔ جاسازی ارائه شده است. Dragan و همکاران در [۱۵] یک راه حل برای درج بافر در مسیر اتصالات سراسری بین بلوک‌های مرحلهٔ جاسازی ارائه نموده که می‌تواند چندین معیار را به‌صورت همزمان در نظر گیرد. در [۱۶] و [۱۷] فرمول‌هایی برای در نظر گرفتن همزمان نویز، کارایی مدار و تراکم در حین درج بافر در مرحلهٔ جاسازی ارائه شده است.

در [۲] یک روش جدید برای طرح‌ریزی بافرها مطرح شده است که در آن فرض شده که در داخل هر کدام از بلوک‌های جاسازی، درصدی فضای خالی تعبیه شده که از آنها می‌توان برای درج بافر استفاده نمود. در این مقاله این فضاهای خالی سایت بافر[۱۱] نامیده شده است. این ایده مشکل محدود بودن فضای مساله درج بافر را بهبود می‌دهد ولی خود دارای دو مشکل زیر است:

- در این روش، در طراحی سلول‌های استاندارد یا بلوک‌های از پیش‌طراحی شده باید سایت بافر در نظر گرفته شود و اطلاعات آن در فایل‌های فناوری قرار گیرد و ابزارهای طراحی نیز باید در جهت در نظر گرفتن مفهوم سایت بافر در سلول‌های استاندارد یا بلوک‌های از پیش طراحی شده تغییر یابند که به معنای تغییرات وسیع در روند طراحی فیزیکی است.
- در این روش هم مثل روش قبل، در مرحلهٔ جاسازی محل بافرها ثابت می‌گردد که با خطای زیادی همراه خواهد بود.

در [۱۸] یک مدل برای تخمین تراکم مدار با در نظر گرفتن فضای سایت بافرها، ارائه گردیده است و یک الگوریتم برای درج بافر در مرحلهٔ جاسازی مطرح شده است. در [۱۹] نیز الگوریتمی برای طرح‌ریزی بافرها در مرحلهٔ جاسازی مطرح شده که از روند طراحی جاسازی- جایابی همزمان[۱۲] استفاده می‌کند و می‌تواند از فضای داخلی بلوک‌های مرحلهٔ جاسازی هم استفاده نماید. این روش مشکل اول

روش ارائه شده در [۲] را بهبود می‌دهد اما مشکل اصلی آن این است که در مرحلهٔ جاسازی، محل بافرها را ثابت می‌کند.

در این مقاله روشی برپایهٔ استفاده از روند طراحی جاسازی- جایابی همزمان ارائه شده که در مرحلهٔ جایابی کلی یک نقشهٔ تخمینی از نیازمندی نواحی مختلف به بافر ایجاد می‌نماید و سپس در مرحلهٔ جایابی جزئی با کنترل توزیع فضای خالی، توزیع بافرها را مطابق با نقشهٔ تخمین زده شده حفظ می‌کند.

۳- روند الگوریتم و بهبودهای قابل دسترسی

افزایش قابلیت تخمین، یکی از روش‌های کارآمد برای کاستن از مشکل واگرایی روند طراحی است و برای بهبود قابلیت پیش‌بینی طراحی سه روش کلی وجود دارد [۲۰]:

- افزایش قابلیت تخمین با دوری جستن از ویژگی‌های پویا و استفاده بیشتر از ساختارهای قابل پیش‌بینی و از پیش‌طراحی شده (مثل طراحی براساس بستره خاص[۱۳]).
- ایجاد تخمین مناسب از سطوح پایین‌تر با تکرار آزمایشی یا کوتاه شدهٔ ابزار سطوح پایین‌تر.
- انجام فرضیاتی در سطوح بالاتر و اجرای مراحل پایین‌تر با در نظر گرفتن این فرضیات (روش فرض کردن و مقید نمودن[۱۴]).

روش اول منجر به محدودیت‌های زیادی می‌شود که در بسیاری از شرایط قابل تحمل نیست و بیشتر در ساختار FPGAها استفاده می‌شود. اشکال روش دوم این است که اکثر ابزارهای طراحی فیزیکی رفتار تصادفی دارند و ضمانتی برای همسان بودن نتایج بدست آمده در اجرای آزمایشی ابزارهای طراحی با اجرای واقعی آنها وجود ندارد. در این مقاله، به روش سوم پرداخته شده است. بدین صورت که در مراحل اولیه طراحی فیزیکی (جایابی کلی) یک نقشه از نیازمندی به بافر برای نواحی مختلف طرح به صورت آماری تخمین زده شده و به‌عنوان فرض اولیه در نظر گرفته می‌شود و مراحل بعدی طراحی فیزیکی (جایابی جزئی) در چارچوب آن عمل خواهند کرد.

ما این ایده را با اِعمال تغییراتی در ابزار CapoPlacer [۲۱] که یک ابزار جایابی- جاسازی[۱۵] هم‌روند است، پیاده‌سازی و آزمایش نموده‌ایم. روند کار بدین صورت است که فاز جایابی کلی ابزار CapoPlacer در یک مرحلهٔ از پیش محاسبه شده که آن را سطح طرح‌ریزی[۱۶] نامیده‌ایم، متوقف و با استفاده از اطلاعات طرح در آن سطح، نقشهٔ نیازمندی به بافر ایجاد می‌گردد. سپس ادامه روند جایابی کلی و نیز کل مرحلهٔ جایابی جزئی به‌نحوی اجرا می‌شوند که توزیع فضاهای خالی طبق BRM انجام گیرد. این روند در الگوریتم شکل ۱ نشان داده شده است.

Algorithm: Buffer planning based on the BRM	
1:	Compute the planning level.
2:	Start the global placer with CapoPlacer down to the planning level.
3:	Generate BRM:
4:	Construct congestion map.
5:	Perform probabilistic static timing analysis (PSTA)
6:	Extract the BRM according to PSTA and congestion of the design.
7:	Re-distribute white spaces in the planning level based on the BRM.
8:	Resume CapoPlacer which is modified to manage the white spaces with respect to the BRM.

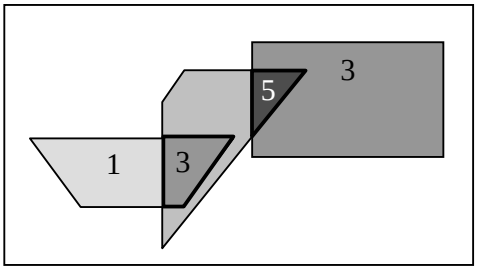
شکل ۱- الگورتیم ارائه شده برای طرح‌ریزی بافرها

در بخش‌های بعدی مقاله هرکدام از عملیات نشان داده شده در الگوریتم شکل ۱ بررسی خواهند شد.

۴- مراحل تولید نقشهٔ نیازمندی به بافر

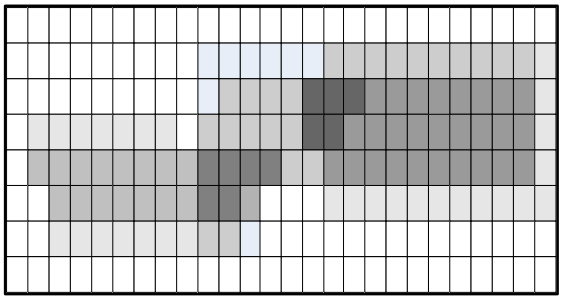
۴-۱- تعریف نقشهٔ نیازمندی به بافر

برای تولید BRM به ازای هر سیم، امید ریاضی تعداد بافر موردنیاز به همراه نواحی شدنی تخمین زده شده برای درج بافرها محاسبه شده و سپس امید ریاضی تعداد بافر در این نواحی هندسی با همدیگر جمع می‌شوند. مسلماً در نواحی مشترک احتمال درج بافر بیشتر خواهد بود. در شکل ۲ هر چند ضلعی مربوط به سه ناحیهٔ شدنی به همراه امید ریاضی تعداد بافر داخل آنها نشان داده شده است.



شکل ۲- نواحی تخمین زده شده برای درج بافر و امید ریاضی تعداد بافر در هر ناحیه و نیز نواحی مشترک

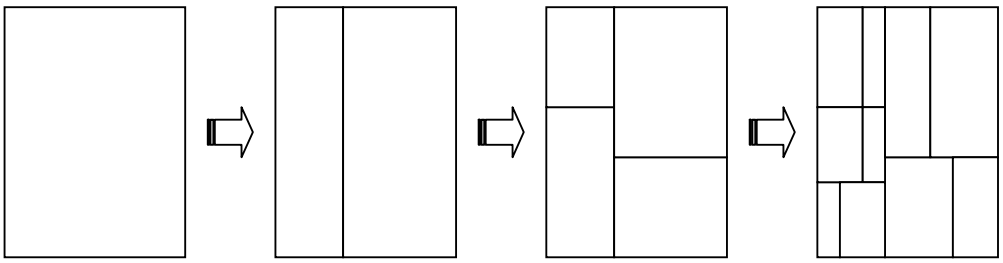
سپس نواحی محاسبه شده به یک شبکهٔ دو بعدی نگاشته می‌شود و امید ریاضی تعداد بافر در هر مستطیل از این شبکه محاسبه شده و BRM نهایی تشکیل می‌شود. در شکل ۳ احتمال قرارگیری بافر در هر کدام از نواحی نشان داده شده در شکل ۲، در قالب سلول‌های شبکه[۱۷] با سطوح خاکستری نشان داده شده است، بطوری‌که در نواحی تیره‌تر احتمال درج بافر بالاتر است.



شکل ۳- نقشهٔ نیازمندی به بافر

۴-۲- الگوریتم تخمین BRM

ابزار CapoPlacer یک ابزار جاسازی- جایابی است که با تقسیم‌های متوالی دودویی عمل جاسازی و جایابی را به‌صورت همزمان در دو مرحلهٔ جایابی کلی و جایابی جزئی انجام می‌دهد [۲۱]، بدین صورت که در حین انجام جایابی کلی، طرح به‌صورت تکراری به خوشه[۱۸]های کوچکتر تقسیم می‌شود تا جایی که تعداد سلول‌های داخل هر خوشه از یک تعداد خاص کمتر شود، سپس در جایابی جزئی، محل دقیق سلول‌های داخل هر خوشه تعیین می‌گردد. این روند در شکل ۴ نشان داده شده است.



شکل ۴- روند انجام افزارهای دودویی متوالی در ابزار CapoPlacer

برای تولید BRM، روند اجرای CapoPlacer در سطح طرح‌ریزی متوقف می‌شود و با محاسباتی که در ادامه بیان خواهد شد، BRM ایجاد می‌گردد. تعیین سطح طرح‌ریزی اهمیت زیادی دارد. اگر این سطح خیلی بالا باشد، به‌دلیل کم بودن تعداد خوشه‌ها و بزرگ بودن فضای هر کدام از آنها، تخمین‌ها همراه با خطای زیادی خواهند بود و اگر این سطح خیلی پایین باشد به‌دلیل ثابت شدن محل سلول‌ها آزادی عمل زیادی برای طرح‌ریزی وجود نخواهد داشت. یک معیار مناسب برای تعیین سطح، حداقل فاصلهٔ بین دو بافر[۱۹] در طراحی است. بدین صورت که سطح طرح‌ریزی به‌صورتی تعیین گردد که اندازهٔ خوشه‌های جاسازی تقریباً برابر حداقل فاصلهٔ مفید بین دو بافر در سیستم شود.

در الگوریتم ارائه شده در این مقاله، عمل جاسازی تا جایی ادامه می‌یابد که اندازهٔ خوشه‌های ایجاد شده در جاسازی تقریباً برابر حداقل فاصلهٔ مفید بین دو بافر باشد. پس از توقف روند جاسازی- جایابی، نقشهٔ نیازمندی به بافر براساس اطلاعات محلی یا سراسری بودن سیم‌ها و نیز حساسیت آنها محاسبه می‌شود. الگوریتم ارائه شده بر اساس سه فرض زیر عمل می‌کند.

- احتمال قرارگیری بافر در مسیر سیم‌های سراسری بیشتر از سیم‌های محلی است.
- احتمال قرارگیری بافر در مسیر سیم‌های قرار گرفته در مسیر حساس بیشتر از سیم‌های دیگر است.
- ترجیح داده می‌شود که بافرهای درج شده در مناطق کم‌تراکم قرار گیرند.

دو فرض اول در جهت بهبود کارایی طرح و فرض سوم با هدف بهبود قابلیت مسیریابی و امنیت سیگنال‌ها[۲۰] استفاده شده است. با توجه به مشخص نبودن محل دقیق سلول‌ها در سطح طرح‌ریزی، از یک تحلیل زمانی ایستای احتمالی[۲۱] برای استخراج احتمال حساس شدن مسیرها استفاده شده است.

الگوریتم تولید BRM برخورد متفاوتی با سیم‌های سراسری و محلی دارد، لذا در ابتدا سیم‌های طرح به دو دستهٔ سراسری و محلی تقسیم می‌شوند و سپس برای هر دسته محاسبات موردنیاز انجام خواهد شد.

۴-۲-۱- استخراج نیازمندی به بافر برای سیم‌های سراسری

سیم‌های سراسری سیم‌هایی هستند که ترمینال‌هایی در دو یا چند خوشهٔ متفاوت را به هم متصل می‌کنند. فرض کنید طول و عرض چینش[22] به ترتیب برابر L_x و L_y باشد. حال یک شبکه یکنواخت روی کل چینش در نظر بگیرید که طول و عرض هر سلول آن به ترتیب برابر λ_x و λ_y باشد. در این مقاله طول و عرض سلول‌های شبکه با دو محدودیت زیر محاسبه می‌شود:

- نسبت طول به عرض هر سلول یک مقدار مشخص است ($\lambda_y=AR*\lambda_x$).
- متوسط تعداد سلول شبکه در هر خوشه از جاسازی یک مقدار مشخص است.

با این دو محدودیت، طول و عرض سلول‌ها به‌صورت رابطهٔ ۱ قابل محاسبه است:

$$\lambda_x = \sqrt{\frac{L_x.L_y}{n_{cluster}.n_{grid}.AR}} \quad , \quad \lambda_y = AR.\lambda_x \qquad (۱)$$

که در آن $n_{cluster}$ تعداد کل خوشه‌های جاسازی و n_{grid} متوسط تعداد سلول‌های شبکه در هر خوشه است. مقدار n_{grid} و AR سطح طرح‌ریزی را تحت تأثیر قرار می‌دهد. در آزمایش‌های انجام شده در این مقاله بهترین نتایج با انتخاب n_{grid} بین ۱۶ تا ۳۲ و AR برابر با ۱ بدست آمده است.

حال سیم k با تعداد t ترمینال را در نظر بگیرید که ترمینال‌های مختلف آن در خوشه‌های $c_1, c_2, \ldots, c_n$ قرار گرفته‌اند. پس از انجام جایابی جزئی، ترمینال iام از این سیم ممکن است در یکی از n_i^k سلول شبکه قرار گیرد که n_i^k به‌صورت رابطهٔ ۲ محاسبه می‌شود.

$$n_i^k = \left\lfloor \frac{A_i}{\lambda_x.\lambda_y} \right\rfloor \qquad (۲)$$

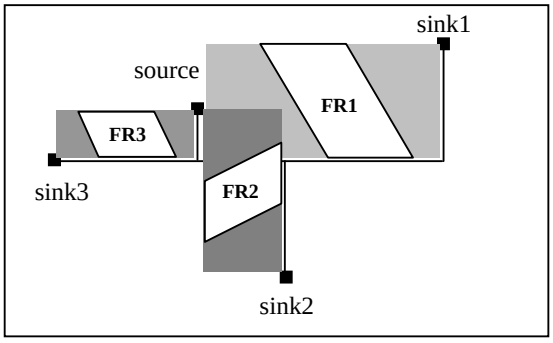
که در آن A_i مساحت خوشه‌ای است که iامین ترمینال در آن قرار گرفته است. بدین‌ترتیب تعداد کل حالات ممکن برای مسیریابی سیم k با t ترمینال برابر با $\prod_{i=1}^{t}(n_i^k)$ می‌باشد و احتمال رخداد iامین توپولوژی برای این سیم (P_i^k) برابر است با:

$$P_i^k = \frac{1}{\prod_{j=1}^{t}(n_j^k)} \qquad (۳)$$

برای تخمین تعداد بافرها و محل آنها باید درخت مسیریابی هر سیم پیش‌بینی شود. در این مقاله برای تخمین درخت مسیریابی در سطح جاسازی از روش مطرح شده در[۲۲] استفاده شده که از یک درخت اشتاینر تک ساقه‌ای[۲۳] برای تخمین سطح بالای درخت مسیریابی بهره می‌گیرد. در [۲۲] نشان داده شده که اگر ترمینال‌های یک سیم با t ترمینال با توزیع یکنواخت جایابی شوند، حد بالای امید ریاضی طول سیم k به‌صورت $O(\sqrt{t})$ می‌باشد. این رابطه برای تخمین حداکثر تعداد بافر روی یک سیم مورد استفاده قرار گرفته است.

پس از تخمین درخت مسیریابی سیم، تعداد بافرها و ناحیهٔ شدنی هر بافر محاسبه می‌شود. با توجه به اینکه در حالت کلی ناحیهٔ شدنی غیروابسته برای هر بافر محدودتر از ناحیهٔ شدنی آن است، استفاده از ناحیهٔ شدنی تخمین پایدارتری در سطح جاسازی می‌باشد، لذا در این مقاله از ناحیهٔ شدنی هر بافر برای تخمین موقعیت آن بافر استفاده شده است [۳] [۴].

برای محاسبهٔ ناحیهٔ شدنی هر بافر مستطیل محیطی بین ترمینال مبدأ با هرکدام از ترمینال‌های مقصد به‌صورتی که شامل ساقهٔ اصلی درخت اشتاینر تخمین زده شده را در بر گیرد، در نظر گرفته می‌شود و به ازای هر مستطیل، ناحیهٔ شدنی محاسبه می‌شود. در شکل ۵ مستطیل‌های محیطی بین ترمینال مبدأ و سه ترمینال مقصد نشان داده شده است.



شکل ۵- نواحی شدنی روی یک درخت اشتاینر تک ساقه‌ای

سپس برای هر سیم عمومی یک ضریب با عنوان میزان حساسیت محاسبه می‌شود که احتمال قرار گرفتن سیم روی یک مسیر حساس را نشان می‌دهد. هر چه ضریب حساسیت یک سیم بیشتر باشد، احتمال درج بافر روی آن بیشتر خواهد بود. برای محاسبه ضریب حساسیت سیم k دو پارامتر باید در نظر گرفته شوند. پارامتر اول (D_k) تأخیر کندترین مسیری است که سیم k روی آن قرار گرفته است و اگر هیچ کدام از مسیرهایی که سیم k روی آنها قرار گرفته حساس نباشند، D_k برابر صفر خواهد بود. پارامتر دوم PN_K است که نشان‌دهندهٔ تعداد مسیرهای حساسی است که سیم k روی آنها قرار گرفته است. مسلماً سیم‌هایی که روی چندین مسیر حساس قرار دارند، احتمال بالاتری برای درج بافر خواهند داشت. رابطهٔ ۴ برای محاسبهٔ ضریب حساسیت سیم k استفاده شده است:

$$C_k = \frac{2 * D_k}{D_k + D_{\max}} * PN_k \qquad (۴)$$

که در آن D_{max} تأخیر کندترین مسیر طرح است. اگر مسیر در برگیرندهٔ سیم k دارای تأخیری برابر با بدترین مسیر طراحی باشد، حساسیت آن برابر تعداد تکرار سیم در مسیرهای حساس خواهد بود و اگر تاخیر مسیر در برگیرندهٔ سیم k خیلی کوچک باشد، C_k مقداری کوچک خواهد داشت. امید ریاضی قرارگیری بافر روی سیم k در jامین ناحیه (BE_j^k) به‌صورت رابطهٔ ۵ قابل بیان است.

$$BE_j^k = \sum_{i=0}^{NT_j^k} (BN_i^j * P_i^k) \qquad (۵)$$

که در آن NT_j^k تعداد توپولوژی‌های سیم k در jامین ناحیه و BN_i^j تخمین تعداد بافرهای موردنیاز برای iامین توپولوژی از سیم فوق در ناحیه j است. با توجه به محاسبات فوق تعداد بافر مورد نیاز برای همهٔ سیم‌ها در ناحیهٔ jام (TBE_j) از رابطهٔ ۶ به دست می‌آید.

$$TBE_j = \sum_{k=0}^{GNN_j} (C_k * BE_j^k) \qquad (۶)$$

که در آن GNN_j تعداد کل سیم‌های سراسری در ناحیهٔ jام است.

تحلیل پیچیدگی الگوریتم: الگوریتم فوق به ازای همه سیم‌های عمومی اجرا می‌گردد و برای هر سیم به ازای تعداد ترمینال‌های آن سیم اجرا می‌شود. سپس برای هر ترمینال به ازای تعداد حالات ممکن قرارگیری ترمینال در خوشه‌ها تکرار می‌گردد. بدترین حالت، در شرایطی ایجاد می‌گردد که همهٔ سیم‌ها، سراسری باشند و هر سیم به همهٔ سلول‌های طرح متصل باشد. در این حالت بدترین پیچیدگی به‌صورت رابطهٔ ۷ می‌باشد.

$$O(n * m * \frac{BinSize}{GridSize}) \qquad (۷)$$

که n تعداد سیم‌ها، m تعداد سلول‌ها و نسبت متوسط اندازهٔ خوشه‌ها *(BinSize)* به اندازهٔ یک سلول شبکه *(GridSize)* هم تقریباً ثابت است. اما این بدترین حالت تقریباً هرگز رخ نمی‌دهد، زیرا در شرایط واقعی، تعداد ترمینال‌های هر سیم بسیار کمتر از تعداد سلول‌های طرح است و معمولاً از یک حد خاص بیشتر نیست (به جز برای برخی از سیم‌های خاص مثل سیم Clock که به‌صورت مجزا بافردار می‌شوند). در حالت کلی تعداد ترمینال‌های هر سیم مدار تابعی از اندازهٔ مدار نیست و در پیچیدگی الگوریتم تأثیری ندارد. تعداد سیم‌های سراسری مدار هم بسیار کمتر از کل سیم‌های طرح هستند، زیرا اولاً تعداد ترمینال‌های هر سیم بسیار کمتر از کل تعداد سلول‌هاست و ثانیاً به‌دلیل انجام اِفراز مدار براساس اندازهٔ برش[۲۴] تعداد سیم‌های سراسری حداقل می‌شود. در واقع پیچیدگی محاسباتی این الگوریتم به‌صورت رابطهٔ ۸ است.

$$O(CS * T * \frac{BinSize}{GridSize}) \qquad (۸)$$

که CS برابر مجموعهٔ اندازهٔ برش برای کل طرح بوده و T متوسط تعداد ترمینال‌های هر سیم را نشان می‌دهد. در بدترین حالت، اگر هوشمندی ابزارهای اِفراز برای حداقل ساختن اندازهٔ برش را در نظر نگیریم و تنها فرض محدود بودن تعداد ترمینال‌های هر سیم را در نظر بگیریم، CS به نسبت تعداد سیم‌های مدار افزایش می‌یابد، لذا میزان پیچیدگی الگوریتم فوق تقریباً نسبت خطی با تعداد سیم‌های طرح خواهد داشت.

۴-۲-۲- استخراج نیازمندی به بافر برای سیم‌های محلی

سیم‌های محلی ترمینال‌هایی در داخل خوشه‌ها را به هم وصل می‌کنند و اندازهٔ احتمالی این سیم‌ها بستگی به ابعاد خوشهٔ دربرگیرندهٔ آن سیم دارد. احتمال درج بافر روی سیم k (PB_k) متناسب با حاصل تقسیم تأخیر سیم (ND_k) به تأخیر مسیر دربرگیرندهٔ سیم فوق (PD_k) می‌باشد. با توجه به اینکه تاخیر مسیر متناسب با مجذور طول سیم است، احتمال درج بافر روی سیم به‌صورت رابطهٔ ۹ قابل محاسبه است.

$$PB_k = \frac{NL_k^2}{PL_k^2} \qquad (۹)$$

که در آن NL_k و PL_k به ترتیب طول سیم و طول مسیر دربرگیرندهٔ آن است. در سطح طرح‌ریزی، می‌توان طول سیم محلی را با نصف محیط خوشهٔ شامل آن تخمین زد. بنابراین امید ریاضی تعداد بافر روی سیم محلی k (BE_k) به‌صورت رابطهٔ ۱۰ محاسبه شده است.

$$BE_k = PB_k * C_k = \frac{HP_k^{\,2}}{PL_k^{\,2}} * C_k \qquad (۱۰)$$

که در آن C_k یک متغیر منطقی است که نشان‌دهندهٔ حساس بودن سیم k است و به‌صورت رابطهٔ ۱۱ قابل بیان می‌باشد.

$$C_k = \begin{cases} 1 & net(k)\ \ belongs\ \ to\ \ a\ \ critical\ \ path \\ 0 & otherwise \end{cases} \qquad (۱۱)$$

و HP_k نصف محیط خوشه‌ای است که شامل سیم k است.

تحلیل پیچیدگی الگوریتم: الگوریتم فوق به ازای هر خوشه از طرح اجرا می‌گردد و برای هر خوشه، به ازای تعداد سیم‌های داخلی آن خوشه تکرار می‌شود. بدترین حالت، در شرایطی ایجاد می‌گردد که تعداد خوشه‌ها برابر تعداد سلول‌های طرح باشد و هر خوشه به تعداد کل سیم‌های طرح، سیم داشته باشد. در این حالت بدترین پیچیدگی الگوریتم به‌صورت رابطهٔ ۱۲ است.

$$O(n * m) \qquad (۱۲)$$

که n تعداد سیم‌های کل طرح و m نیز تعداد سلول‌های کل طرح است. البته در عمل این میزان پیچیدگی غیرقابل دسترس است، زیرا برای آنکه تعداد خوشه‌ها برابر تعداد سلول‌ها باشد، باید روند جاسازی تاجایی پیش رود که هر خوشه از طرح تنها شامل یک سلول باشد، درحالی که برای رسیدن به حالتی که هر خوشه همه سیم‌های طرح را دربر گیرد، باید کل طرح تنها شامل یک خوشه باشد و این دو حالت هرگز با هم رخ نخواهد داد. با توجه به تقسیم‌های متوالی مورد استفاده در روند جاسازی، تعداد واقعی خوشه‌ها یک نسبت لگاریتمی با تعداد سلول‌ها دارد و تعداد سیم‌های داخل هر خوشه هم برابر تعداد کل سیم‌ها تقسیم بر تعداد خوشه‌ها می‌باشد، لذا پیچیدگی نشان داده شده در رابطهٔ ۱۳ برای الگوریتم این مرحله مناسب‌تر است.

$$O(\frac{n}{n_c} * n_c) = O(n) \qquad (۱۳)$$

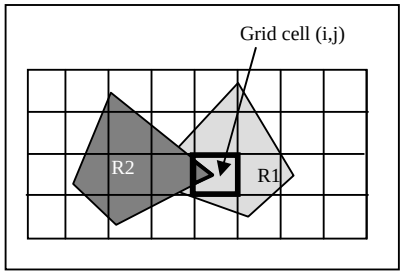
که در آن n_c تعداد خوشه‌های طرح می‌باشد. چنان‌که دیده می‌شود، محاسبات این مرحله نیز پیچیدگی زمانی زیادی ندارد و نسبت خطی با تعداد سیم‌های طرح دارد.

۴-۳- نگاشت بافرها به سلول‌های شبکه

پس از محاسبهٔ امید ریاضی تعداد بافرها روی سیم‌های محلی و سراسری، این نواحی با هم جمع و یک لیست از نواحی به همراه امید ریاضی تعداد بافرها برای هر ناحیه تشکیل می‌گردد. در نهایت این نواحی به شبکه‌ای که روی چینش در نظر گرفته شده، نگاشته می‌شود، بدین ترتیب که برای هر سلول شبکه، امید ریاضی تعداد بافرهای نواحی‌ای که با آن سلول شبکه، فضای مشترک دارند با هم جمع شده و به‌عنوان امید ریاضی تعداد بافرها برای آن سلول لحاظ می‌گردد. نحوهٔ محاسبهٔ امید ریاضی سلول (i,j) در رابطهٔ ۱۴ نشان داده شده است.

$$GBE_{(i,j)} = \frac{1}{C_{(i,j)}} * \sum_{r=0}^{NIR} (E_r * \frac{A^r_{(i,j)}}{A_g}) \qquad (۱۴)$$

که در آن E_r تعداد بافرهای تخمین زده شده در ناحیهٔ r، $A^r_{(i,j)}$ مساحت مشترک بین ناحیهٔ r و سلول شبکهٔ (i,j) و A_g مساحت یک سلول شبکه می‌باشد. $C_{(i,j)}$ سطح تراکم در سلول شبکهٔ (i,j) است و NIR تعداد نواحی دارای مساحت مشترک با سلول شبکهٔ (i,j) می‌باشد. برای محاسبهٔ سطح تراکم در هر سلول شبکه از معیار نسبت تعداد پین‌های داخل سلول به مساحت سلول استفاده شده است که شبیه به معیار Rent می‌باشد [۲۴] و [۲۵]. شکل ۶ نواحی مشترک دو ناحیه را با یک سلول شبکه نشان می‌دهد. با محاسبهٔ امید ریاضی تعداد بافر برای هر سلول از شبکه، BRM تولید می‌شود.



شکل ۶- نواحی مشترک بین دو ناحیه R1 و R2 با یک سلول شبکه

Algorithm: white space redistribution of floorplanned design

Stage 1: set the buffer requirement of each bin in floorplan tree

```
1:   Add all leaves to LeafList
2:   While (LeafList.size > 1)
3:       For each two child leaves at the planning level
4:           Set sum of their buffer requirements to their parent
5:           Delete child nodes from LeafList
6:           Add the parent to NewLeafList
7:       END
8:       Add items of NewLeafList to LeafList
9:       Erase the NewLeafList
10:  END
```

Stage 2: distribute white spaces by sliding the bin boundaries.

```
11:  CurrBin = root;
12:  For all levels
13:      For all bins in current level
14:          Distribute the white spaces of bins in the current level
             into their child nodes
15:      END
16:  END
```

شکل ۷- شبه کد الگوریتم توزیع مجدد فضاهای خالی در سطح طرح‌ریزی

۵- توزیع فضاهای خالی سطح طرح‌ریزی طبق BRM

ممکن است توزیع فضاهای خالی در سطح طرح‌ریزی با آنچه که در BRM تخمین زده شده همانندی کامل نداشته باشد. در این مرحله از کار، ابزار CapoPlacer طوری تغییر داده شده که با تغییر مرز اِفراز[۲۵]های انجام شده، فضاهای خالی متناسب با BRM مجدداً توزیع گردد. شبه کد این الگوریتم در شکل ۷ نشان داده شده است.

در این الگوریتم، LeafList لیست خوشه‌های تشکیل یافته در سطح طرح‌ریزی است. در مرحله اول با یک روند بازگشت به عقب، مقدار نیازمندی به بافر برای خوشه‌های مختلف در سطوح بالاتر درخت جاسازی تعیین می‌شود و در

مرحلهٔ دوم با تغییر محل مرز بین خوشه‌ها میزان فضای خالی برای هر کدام از خوشه‌های پایین‌ترین سطح بر اساس BRM تعیین می‌گردد.

۶- انجام جایابی جزئی براساس BRM

در مراحل قبلی، نقشهٔ نیازمندی به بافر تولید گردید و توزیع فضاهای خالی در جاسازی موجود هم بر طبق این BRM تغییر داده شد و در این مرحله، بخش جایابی جزئی ابزار CapoPlacer به‌صورتی تغییر می‌یابد که توزیع فضاهای خالی را متناسب با BRM مدیریت نماید. ابزار CapoPlacer از سه هستهٔ مجزا برای جایابی استفاده می‌کند. هستهٔ اول یک الگوریتم Fiduccia-Mattheyses است که برای اِفرازهای متوالی در بالاترین سطح استفاده می‌شود. هستهٔ دوم برای انجام اِفراز در سطوح میانی استفاده می‌شود و از حالت خاصی از همان الگوریتم بهره می‌گیرد و هستهٔ سوم با استفاده از یک الگوریتم تحلیلی Branch-and-bound محل دقیق سلول‌ها را تعیین می‌کند [۲۱]. در این تحقیق، الگوریتم هسته‌های اول و دوم CapoPlacer به‌نحوی بهبود داده شده است که این دو الگوریتم، نحوهٔ اختصاص فضاهای خالی را طبق BRM رعایت نمایند. با این کار، از BRM به‌عنوان یک محدودیت در روند بهینه‌سازی‌های الگوریتم جایابی جزئی استفاده می‌شود.

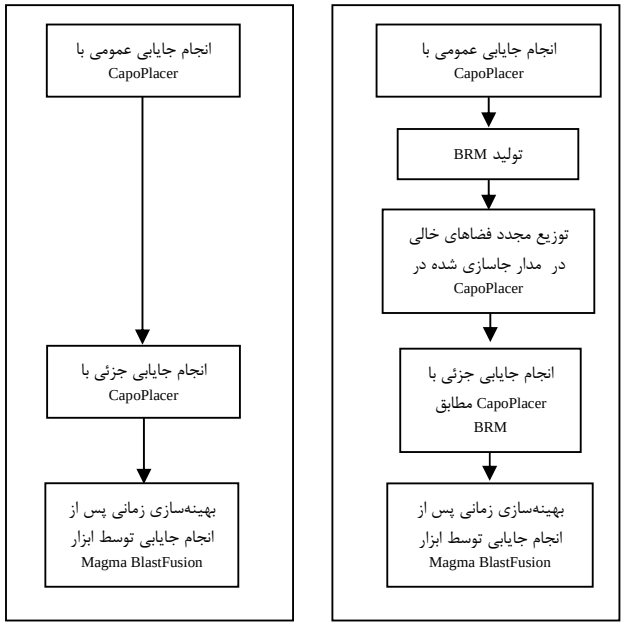
۷- نتایج آزمایش‌ها

ما ایدهٔ ارائه شده را با استفاده از زبان C++ پیاده‌سازی کرده و روی یک پردازنده Pentium 4 با ۵۱۲ مگابایت حافظه آزمایش نموده‌ایم. برای آزمایش، ۱۰ طرح از مجموعه مدارهای استاندارد IWLS به‌عنوان مدار آزمون استفاده شده است و در انتخاب مدارهای آزمون سعی شده که مدارهایی با اندازه‌های مختلف انتخاب گردد. این مدارها با فناوری ۱۸۰ نانومتر Crete متعلق به شرکت Cadence [۲۶] سنتز شده و به فرمت مورد نیاز جهت آزمایش تبدیل شده‌اند. آماری از این مدارها در جدول ۱ نشان داده شده است.

جدول ۱- مشخصات مدارهای مورد آزمایش

Circuit	#cells	#pins
des_area	3132	304
spi	3227	94
tv80	7161	36
systemaes	7959	297
ac97_ctrl	11855	132
pci_bridge	16816	371
dma	19118	950
aes_core	20795	388
dsp	32436	
ethernet	46771	213

ما دو روند مختلف را برای آزمایش روش ارائه شده در نظر گرفته‌ایم و نتایج این دو روند را با هم مقایسه نموده‌ایم. در نخستین روند که *روند استاندارد درج بافر* نامیده شده است، مدارها با استفاده از ابزار CapoPlacer جاسازی و جایابی شده و سپس الگوریتم بهبود کارایی با درج بافر با استفاده از ابزار Magma BlastFusion [۲۷] روی مدار جایابی شده توسط CapoPlacer انجام شده است. در روند دوم که بر اساس روش مطرح شده در این مقاله پیاده‌سازی شده است و روند درج بافر طبق BRM نامیده شده، مراحل اولیهٔ جایابی کلی مدارها با استفاده از ابزار CapoPlacer انجام گرفته و پس از تولید BRM روند جایابی جزئی با همین ابزار و طبق BRM انجام می‌شود و سپس همانند روند نخست، الگوریتم بهبود کارایی با درج بافر با استفاده از ابزار Magma BlastFusion روی مدار جایابی شده توسط CapoPlacer انجام می‌شود. نمایی از این دو روند در شکل ۸ نشان داده شده است.



شکل ۸- روند استاندارد درج بافر (الف) و روند درج بافر طبق BRM (ب)

جدول ۲ نتایج به‌دست آمده از مقایسهٔ نتایج آزمایش این دو روند را نشان می‌دهد. هر مدار در سه حالت مختلف از نظر میزان فضای خالی اولیه آزمایش شده است. ستون WSR گویای میزان فضای خالی اولیه در مدار تحت آزمون است. تعداد بافرهای افزوده شده در مرحلهٔ بهینه‌سازی زمانی که توسط ابزار Magma انجام شده در ستون #buffs و تأخیر مسیر بحرانی به‌دست آمده در ستون Delay نشان داده شده است. برای مقایسهٔ نتایج تعداد بافرها و تأخیر، از معیار حاصلضرب تأخیر در توان ذاتی[۲۶] بافرهای مصرفی استفاده شده است. برای این منظور متوسط توان استاتیک هر نوع بافر از کتابخانه Crete استخراج گردیده است. مقدار حاصلضرب تأخیر در توان استاتیک مصرفی در ستون PDP نشان داده شده است و متوسط مقدار PDP برای سه حالت مختلف در ستون .PDP Avg دیده می‌شود. به منظور محاسبه و مقایسهٔ زمان اجرای الگوریتم، کل زمان اجرا در ستون CPU time نشان داده شده است و در نهایت در دو ستون .Reduc PDP و .CPU time Over به ترتیب درصد بهبود متوسط PDP و درصد افزایش زمان انجام محاسبات برای هر طرح نشان داده شده است.

چنانکه در جدول ۲ دیده می‌شود، مقدار بهبود PDP برای مدارهای کوچک ناچیز بوده و حتی در یک حالت منفی بوده است، ولی برای مدارهای بزرگ این بهبود تا ۳۵ درصد رشد کرده است. آزمایش‌ها نشان می‌دهد که با بزرگ شدن مدارهای تحت آزمایش این بهبود بیشتر شده است. البته این بهبود قابل پیش‌بینی بوده است و دلیل آن این است که در مدارهای بزرگتر نسبت اندازهٔ هر خوشه به کل طراحی کوچکتر است و خطای تخمین BRM کمتر می‌شود، بعلاوه در مدارهای بزرگ فضای بیشتری برای طرح‌ریزی وجود دارد.

در دو مورد از آزمایش‌ها برآورده کردن شرط زمانی در روند استاندارد با شکست مواجه شده است که این مشکل در روند درج بافر طبق BRM دیده نشده است. این نتایج نشان می‌دهد که در روند درج بافر طبق BRM وضعیت همگرایی روند طراحی بهتر بوده و نیاز کمتری به تکرار روال طراحی خواهد بود که بهبود با ارزشی به‌شمار می‌آید.

جدول ۲- نتایج آزمایش‌های انجام شده در دو روند درج بافر به‌صورت استاندارد و درج بافر طبق BRM

Circuit	WSR	Standard buffer insertion flow (SBI)				BRM based buffer insertion flow (BRMBI)				PDP Reduc.	CPU time Over.
		#buffs	Delay (ps)	PDP	CPU time (sec)	#buffs	Delay (ps)	PDP	CPU time (sec)		
des_area	15%	27	1598	23298.84	56	14	1587	11997.72	57.5	1.4%	3%
	10%	19	1578	16190.28		13	1602	11246.04			
	3%	16	1581	13659.84		26	1600	22464			
spi	15%	18	876	8514.72	60	18	875	8505	62	-2.8%	4%
	10%	18	887	8524.44		20	892	9633.6			
	3%	19	887	8998.02		18	890	8650.8			
tv80	15%	39	2364	49764.8	153	22	2366	28108	157	9.1%	3%
	10%	41	2355	52135.7		24	2365	37035.9			
	3%	29	2365	37035.9		48	2359	61145.3			
systemaes	15%	10	2203	11896.2	170	9	2230	10837.8	175.1	2.3%	3%
	10%	14	2193	16579.08		9	2203	10706.58			
	3%	9	2203	10706.58		9	2203	10706.58			
ac97_ctrl	15%	11	823	4888.6	320	7	834	3152.5	333.2	8.02%	4.1%
	10%	6	825	2673		9	819	3980			
	3%	7	FAILED	-		4	825	3300			
Pci_bridge	15%	32	4020.5	69474.24	370	32	4020.5	69474.24	387.4	16.8%	4.7%
	10%	34	4020.5	73816.38		32	4020	69465.6			
	3%	40	5150	111240		33	4080	72705.6			
dma	15%	133	2667	191543.9	583	127	2706	185577.4	612.1	13.7%	5%
	10%	138	2596	193454		99	2712	144983.5			
	3%	263	FAILED	-		119	2611	167782.8			
aes_core	15%	18	1400	25200	605	19	1390	26410	21.7	35%	5%
	10%	19	1390	26410		22	1340	29480			
	3%	31	1404	43524		4	1400	5600			
dsp	15%	133	52906.5	3799744.83	1105	133	52900	3799278	1165.7	17.1%	5.5%
	10%	130	52900	3713580		129	53000	3691980			
	3%	193	56700	5909274		136	54200	3980448			
ethernet	15%	302	67300	10975284	1230	302	67300	10975284	1300	21.9%	5.7%
	10%	318	68000	11676960		308	67800	11276496			
	3%	344	103030	19138852		320	69500	12009600			
Average	-	80.36	15936	1873774	14.56	68.83	13754.32	1558201	427.2	**12.25%**	**4.3%**

زمان محاسبات مربوط به تخمین BRM و رعایت آن در سطوح پایینی جایابی بین ۳ درصد تا ۵/۵ درصد افزایش یافته که به نسبت بهبودهای بدست آمده، زمان زیادی نیست. در ضمن با افزایش اندازهٔ مسأله، مقدار افـزایش ایـن زمـان افـزایش قابل توجهی نداشته است. تحلیل پیچیدگی الگوریتم کـه در بخـش‌هـای ۴-۲-۱ و ۴-۲-۲ بیان گردید نیز موید این نتیجه می‌باشد.

در روند درج بافر، با توجه به افزوده شدن سلول‌هـا و نیـز اتـصالات جدیـد بـه طرح، افزایش تراکم ناگزیر خواهد بود. در روش ارائه شده در این مقاله، طرح‌ریـزی بافرها به نحوی انجام می‌شود که بافرها به سلول‌هایی از شبکه BRM با کمتـرین میزان تراکم ممکن اختصاص یابند تا افزایش تراکم در نواحی‌ای از طـرح رخ دهـد که تراکم کمتری دارند. برای مقایسهٔ وضعیت تراکم، دو نوع آزمایش متفاوت انجـام شده است.

آزمایش اول با هدف نشان دادن بهبود همگرایی روند طراحی انجام شده است. بدین منظور تراکم کلی طراحی در دو حالت طرح‌ریزی بافر با روش ارائـه شـده در این مقالـه (BRMBI) و روش اسـتاندارد درج بـافر بـا اسـتفاده از ابـزار Magma استخراج و با هم مقایسه شده است. جدول ۳ وضعیت تراکم طرح پس از درج بـافر با دو روش فوق را روی مدارهای آزمون در شرایطی که این مدارها ۱٪ فضای خالی داشته‌اند و بسیار متراکم بوده‌اند نشان می‌دهد. چنان که در جدول ۳ دیده می‌شود در چهار مورد از آزمایش‌ها، روش استاندارد درج بافر، بافرهـا را در نـواحی متـراکم قرار داده که می‌بایست برای رفع آن بخش‌هایی از روند طراحی، تکرار گردد، حـال آنکه در روش BRMBI به‌دلیل طرح‌ریزی بافرها در نواحی کم‌تراکم، ایـن مـشکل در سه حالت کاملاً رفع شده و در یک حالت بهبود یافته است. این آزمایش‌ها نشان می‌دهد کـه نیـاز بـه تکـرار حلقـهٔ طراحـی در روش BRMBI کمتـر اسـت و لـذا همگرایی طراحی بهتر می‌باشد.

آزمایش دوم بـا هـدف نـشان دادن بهبـود وضـعیت تـراکم در شـرایط عـادی (شرایطی که طرح خیلی متراکم نیست) انجام شده است. در ایـن حالـت مـدارهای فوق با ۳٪ فضای خالی در نظر گرفته شده و مرحلهٔ نگاشت بافرهـا بـه سـلول‌هـای شبکه (بخش ۴-۳) در دو حالت "با در نظر گرفتن تراکم" و "بدون در نظر گرفتن تراکم" انجام شده است. سپس برای هر حالت تعداد بافرهایی که در سطوح مختلف تراکم قرار گرفته‌اند اندازه‌گیری شده است. در جدول‌های ۴ و ۵ بـه ترتیـب تعـداد بافرهای هر سطح از تراکم در دو حالت فوق نشان داده شده است.

چنانکه در دو جدول ۴ و ۵ دیده می‌شود، در حالت طرح‌ریزی بافرها بـا لحـاظ کردن تراکم (جدول ۴)، بخش بیشتری از بافرها - نسبت به حالـت بـدون در نظـر گرفتن تراکم (جدول ۳)- در نواحی کم‌تراکم قرار گرفته‌اند و ایـن بـه معنـای درج شدن بافرها در نواحی خلوت‌تر است. در واقع مقایسهٔ جدول ۵ با ۴ نشان مـی‌دهـد که با در نظر گرفتن تراکم در مرحلهٔ نگاشت بافرها به سلول‌هـای شـبکه، وضـعیت تراکم بهبود یافته است. میانگین میزان بافرهایی که در سطوح مختلف تـراکم قـرار گرفته‌اند (به‌صورت درصد) برای مدارهای فوق به‌صورت گرافیکی در شکل ۹ نـشان داده شده است. نمودار WCC نشان دهندهٔ حالتی اسـت کـه در آن تـراکم بافرهـا درنظر گرفته می‌شود و نمودار WOCC نشان‌دهندهٔ حالت بـدون در نظـر گـرفتن تراکم است. چنانکه دیده می‌شود، در حالتی که تراکم در نظر گرفتـه شـده اسـت، بخش بیشتری از بافرها در نواحی کم‌تراکم قـرار گرفتـه‌انـد و در نمـودار WOCC بخش بزرگتری از مساحت در ناحیهٔ پرتراکم قرار گرفته است.

جدول ۳- تراکم اتصالات در حالتی که مدارهای آزمون دارای ۱٪ فضای خالی هستند

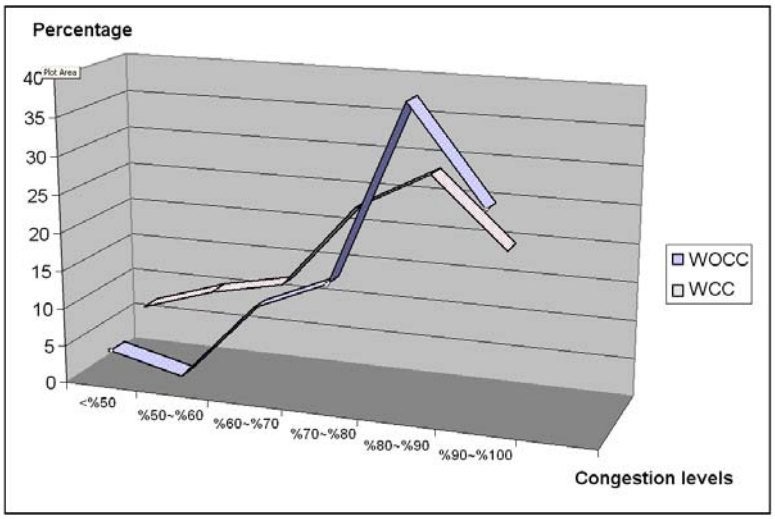
Circuit	*Congestion control in Standard buffer insertion flow*			*Congestion control in rtion flow BRM based buffer ins*		
	Overflow	*100 ~ 80*	*80~0*	*Overflow*	*100 ~ 80*	*80~0*
des_area	*0.1*	*99.8*	*0.1*	*0*	*99.2*	*0.8*
systemaes	*0*	*99.88*	*0.12*	*0*	*99.6*	*0.05*
tv80	*0*	*100*	*0*	*0*	*100*	*0*
ac97_ctrl	*0*	*99.88*	*0.12*	*0*	*99.9*	*0.1*
dma	*0.2*	*96.7*	*3.1*	*0*	*96.2*	*3.8*
aes_core	*0*	*100*	*0*	*0*	*100*	*0*
spi	*0*	*99.8*	*0.2*	*0*	*99.8*	*0.2*
pci_bridge	*0.3*	*99.1*	*0.6*	*0.1*	*99.3*	*0.6*
dsp	*0.1*	*99.6*	*0.3*	*0*	*99.6*	*0.4*
ethernet	*0*	*98.8*	*1.2*	*0*	*98*	*2*

جدول ۴- تعداد بافرهای هر محدوده از تراکم در حالت طرح‌ریزی بافرها بدون در نظر گرفتن تراکم

Circuits	**#buffs**	**BRMBI without congestion control**					
		<50	**50~60**	**60~70**	**70~80**	**80~90**	**90~100**
des_area	26	0	0	0	0	12	14
Spi	18	0	0	1.6	2.3	4.7	9.4
tv80	48	0	0	2.8	13.6	23.8	7.8
systemaes	9	0	0	0	0	6.6	2.7
ac97_ctrl	4	0	0	0	0.43	2.13	1.44
pci_briddge	33	0	3.7	3	6.9	6.2	13.2
dma	119	0	2.3	57	40.4	15.5	3.8
aes_core	4	0	0.32	0.92	0.96	0.75	1.05
dsp	136	0	11.4	21	18	38	47.6
ethernet	320	0	0	10.9	55.3	81	172.8

جدول ۵- تعداد بافرهای هر محدوده از تراکم در حالت طرح‌ریزی بافرها با در نظر گرفتن تراکم و مقایسه میانگین وزن‌دار تراکم

Circuits	**#buffs**	**BRMBI without congestion control**					
		<50	**50~60**	**60~70**	**70~80**	**80~90**	**90~100**
des_area	26	0	0	0	0	13	13
Spi	18	0	0	1.6	3.3	1.7	7.4
tv80	48	0	0	9.9	30.3	3.7	4.1
systemaes	9	0	0	0	0	8.4	0.6
ac97_ctrl	4	0	0	0	2.62	0.5	0.97
pci_briddge	33	0	3.7	5.5	6.9	9.2	9.7
dma	119	3.4	59.1	33	11.9	9.1	2.5
aes_core	4	1.58	0.45	0.98	0.04	0	1.02
dsp	136	0	11.4	24	25.6	43	32
ethernet	320	0	5	15.9	64.3	91.8	143



شکل ۹- میانگین تعداد بافر در سطوح مختلف تراکم

۸- نتیجه‌گیری

در این مقاله، روشی نوین برای طرح‌ریزی بافرها ارائه گردیده که در آن با بهبود مدیریت منابع بافر و توزیع مناسب آنها، با تعداد کمتری بافر شرایط زمانی مورد نیاز طراح برآورده می‌شود. در این روش در سطح جاسازی با استفاده از اطلاعات سراسری این سطح، وضعیت توزیع بافرها (بدون تعیین محل دقیق آنها) تعیین می‌گردد و تعیین موقعیت دقیق بافرها تا مرحلهٔ جایابی جزئی به تعویق انداخته می‌شود. بدین ترتیب هم مشکلات درج زودهنگام بافرها رفع می‌گردد و هم قبل از جایابی جزئی، توزیع بافرها در جهت نیازمندی نواحی مختلف به بافر انجام شده است.

این روش با انجام تغییراتی روی ابزار CapoPlacer پیاده‌سازی شده و با استفاده از ابزار Magma BlastFusion روی مدارهای آزمون IWLS آزمایش شده است. نتایج بدست آمده نشان‌دهندهٔ بهبود قابل توجهی در کاهش تعداد بافرهای مورد نیاز و نیز کارایی مدار بوده است که این بهبود در قالب حاصل‌ضرب تأخیر در مصرف توان بافرهای درج شده گزارش گردیده است. در ضمن در چند مورد از آزمایش‌ها، الگوریتم ارائه شده از نظر همگرایی روند طراحی وضعیت بهتری داشته است. در الگوریتم ارائه شده در این مقاله، در زمان توزیع بافر، وضعیت تراکم بافرها هم در نظر گرفته شده که باعث بهبود تراکم ناشی از درج بافر می‌گردد. آزمایش‌های انجام شده نشان‌دهندهٔ بهبود مناسبی از نظر تراکم درج بافرها بوده است. بهبود تراکم تأثیر قابل توجهی در افزایش قابلیت مسیریابی کل طرح خواهد داشت. در کنار این بهبودها زمان انجام جایابی قدری افزایش یافته که محاسبات و آزمایش‌های انجام شده نشان داده که این زمان در برابر زمان کل جایابی بسیار کوچک است و با بزرگ شدن طرح، افزایش قابل توجهی نیز ندارد.

مراجع

[1] I. Hatirnaz, and et. al, "Early wire characterization for predictable network-on-chip global interconnects**,"** In *Proc. International Workshop on System-Level Interconnect Prediction*, 2007.

[2] C. J. Alpert, J. Hu, S. S. Sapatnekar, and P. G. Villarrubia, "A practical methodology for early buffer and wire resource allocation," In *Proc. International Conference on Computer-Aided Design*, 2001, pp. 189-195.

[3] J. Cong, T. Kong, and D. Z. Pan, "Buffer block planning for interconnect driven floorplanning," In *Proc. IEEE/ACM International Conference on Computer-Aided Design*, 1999, pp. 54-57.

[4] P. Sarkar, V. Sundararaman, and C. K. Koh, "Routability-driven repeater block planning for interconnect-centric floorplanning," In *Proc. International Symposium on Physical Design*, 2000, pp. 186-191.

[5] X. Tang, and D. F. Wong, "Planning buffer locations by network flow," In *Proc. International Symposium Physical Design*, 2000, pp. 180-185.

[6] Y. Ma, X. Hong, and S. Dong, "Buffer planning as an Integral part of floorplanning with consideration of routing congestion," In *IEEE Transactions on Computer-Aided Design of Integrated Cir. and Sys.*, May 2000, pp. 609-621.

[7] Y. Ma, X. Hong, S. Dong, S. Chen, Y. Cai, C. K. Cheng, and J. Gu, "An integrated floorplanning with an efficient buffer planning algorithm," In *Proc. International Symposium on Physical Design*, 2003, pp. 136-142.

[8] Y. Ma, X. Hong, S. Dong, S. Chen, Y. Cai, C. K. Cheng, and J. Gu, "Dynamic global buffer planning optimization based on detail block locating and congestion analysis," In *Proc. Design Automation Conference*, 2003, pp. 806-811.

[9] C. W. Sham, W. C. Wong, and E. F. Y. Young, "Congestion estimation with buffer planning in floorplan design," In *Proc. Design Automation and Test in Europe*, 2000, pp.1-6.

[10] S. Chen, X. Hong, S. Dong, Y. Ma, Y. Cai, and C. K. Cheng, "A buffer planning algorithm with congestion optimization," In *Proc. Asia and South Pacific Design Automation Conference*, 2004, pp. 615-620.

[11] G. S. Garcea, N. P. Van der Mejis, and R. H. J. M. Otten, "Statistically aware buffer planning," In *Proc. Design Automation and Test in Europe*, 2004, pp. 1402-1403.

[12] K. W. C. Wong, and E. F. Y. Young, "Fast buffer planning and congestion optimization in interconnect-driven floorplanning," In *Proc. Asia and South Pacific Design Automation Conference*, 2003, pp. 411-416.

[13] C. W. Sham, and E. F. Y. Young, "Routability driven floorplanner with buffer block planning," In *Proc. International Symposium on Physical Design*, 2002, pp. 470-480.

[14] Y. Ma, X. Hong, S. Dong, S. Chen, and C. K. Cheng, "Buffer planning algorithm based on partial clustered floorplanning," In *Proc. International Symposium on Quality Electronic Design*, 2005 pp. 213-218.

[15] F. F. Dragan, A. B. Kahng, I. Mandoiu, and S. Muddu, "Provably good global buffering using an available buffer block plan," In *Proc. IEEE/ACM International Conference on Computer-Aided Design*, 2000, pp.104-109.

[16] Y. H. Cheng, and Y. W. Chang, "Integrating buffer planning with floorplanning for simultaneous multi-objective optimization," In *Proc. Asia and South Pacific Design Automation Conference*, 2004, pp. 624-627.

[17] S. M. Li, Y. H. Cheng, and Y. W. Chang, "Noise-aware buffer planning for interconnect-driven floorplanning," In *Proc. Asia South Pacific Design Automation Conference*, 2003, pp. 423-426.

[18] Y. Ma, X. Hong, S. Dong, S. Chen, Y. Cai, and C. K. Cheng, "Buffer allocation algorithm with consideration of routing congestion," In *Proc. Asia South Pacific Design Automation Conference*, 2004, pp. 621-623.

[19] A. Jahanian, and M. Saheb Zamani, "Multi-level buffer block planning and buffer insertion for large design circuits,"

In *Proc. International Symposium on Emerging VLSI Technologies and Architectures*, 2006, pp. 411-415.

[20] D. Hill, and A. B. Kahng, "RTL to GDSII-From Foilware to Standard Practice," in *IEEE Design & Test of Computers*, January-February, 2004, pp. 9-12.

[21] J. A. Roy, S. Adya, D. A. Papp, and I. Markov, "Min-cut floorplacement," In *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2005, pp. 1313-1326.

[22] H. Chen, C. Qiao, F. Zhou, and C. K. Cheng, "Refined single trunk tree: a rectilinear Steiner tree generator for interconnect prediction," in *Proc. System Level Interconnect Prediction*, 2002, pp. 85-89.

[23] M. Saeedi, M. Saheb Zamani, and A. Jahanian, "Prediction and reduction of routing congestion," In *Proc. ACM International Symposium on Physical Design*, 2006, pp. 72-77.

[24] X. Yang, E. Bozorgzadeh, and M. Sarrafzadeh, "Wirelength estimation based on rent exponents of partitioning and placement," In *Proc. System Level Interconnect Prediction*, 2001, pp. 25-31.

[25] D. Stroobandt, "A priori system-level interconnect prediction: Rent's rule and wire length distribution models," In *Proc. System Level Interconnect Prediction*, 2001, pp. 3-21.

[26] "IWLS Benchmarks," Available on http://iwls.org/iwls2005/benchmarks.html, 2005.

[27] Magma Design Automation, "A Complete design solution for structured ASICs," Available on http://www.magma-da.com, 2005.

علی جهانیان مدرک کارشناسی خود را از دانشکده فنی دانشگاه تهران در رشته مهندسی کامپیوتر (سخت‌افزار) در سال ۱۳۷۵ و مدارک کارشناسی ارشد و دکتری خود را در رشته مهندسی کامپیوتر (گرایش معماری سیستم‌های کامپیوتری) از دانشگاه صنعتی امیرکبیر در سال‌های ۱۳۷۷ و ۱۳۸۶ دریافت نمود. زمینه‌های کاری ایشان خودکارسازی طراحی مدارهای VLSI، طراحی سیستم‌های نهفته روی تراشه است. ایشان بیش از ۱۰ سال تجربه صنعتی در زمینه طراحی، ساخت و تست تراشه‌های الکترونیکی دارند.
آدرس پست‌الکترونیکی ایشان عبارت است از:

jahanian@aut.ac.ir

مرتضی صاحب الزمانی مدرک کارشناسی خود را از دانشگاه صنعتی اصفهان در رشته مهندسی کامپیوتر در سال ۱۳۶۸ و مدارک کارشناسی ارشد و دکتری خود را در رشته مهندسی کامپیوتر از دانشگاه New South Wales استرالیا در سال‌های ۱۳۷۱ و ۱۳۷۵ دریافت نمود. ایشان از سال ۱۳۷۵ عضو هیأت علمی دانشکده کامپیوتر و فناوری اطلاعات دانشگاه صنعتی امیرکبیر هستند. زمینه‌های کاری ایشان خودکارسازی طراحی مدارهای VLSI، سیستم‌های قابل بازپیکربندی و طراحی مدارهای کوانتومی است.
آدرس پست‌الکترونیکی ایشان عبارت است از:

szamani@aut.ac.ir

---

[1] Timing Closure
[2] Floorplanning
[3] Routability
[4] Design Flow Divergence
[5] Placement
[6] Global Placement
[7] Buffer Requirement Map
[8] Detailed Placement
[9] Feasible Region (FR)
[10] Independent Feasible Region (IFR)
[11] Buffer Site
[12] Floor-Placement
[13] Platform-Based design
[14] Assume and Enforce
[15] Floor-Placement Tool
[16] Planning Level
[17] Grid Cell
[18] Cluster
[19] حداقل فاصلهٔ بین دو بافر، فاصله‌ای است که قرار دادن یک بافر جدید در آن، تاخیر سیم بافردار شده را بهتر نسازد.
[20] Signal Integrity
[21] Probabilistic Static Timing Analysis (PSTA)
[22] Layout
[23] Single Trunk Steiner Tree
[24] Cut Size
[25] Partitioning
[26] Internal Power