علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۵، شماره ۳، ۱۳۸۶
صفحات ۴۵- ۵۹
مقاله عادی

متدی جدید در شناسایی رفتار زمانی مدارهای XOR/XNOR بالانس

تورج نیکوبین کیوان ناوی امید کاوه‌ای

دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی، تهران، ایران

چکیده

با توجه به اینکه مشخصه‌های مربوط به مدارات پایهٔ VLSI مثل XOR/XNOR، که از بستر تست منفرد بدست می‌آید، الزاماً معرف رفتار آنها در مدارات با ساختارهای چند طبقه نمی‌باشد. اینگونه نتایج، در مدارات چند طبقه با ساختارهای متفاوت، قابل استفاده نخواهد بود. در این مقاله الگوریتم جدیدی ارائه گردیده که توسط آن می‌توان رفتار زمانی مدارات مختلف را بگونه‌ای تعیین و با یکدیگر مقایسه نمود، که نتایج در ساختارهای مداری بزرگ‌تر نیز صادق باشند. بهمراه آلگوریتم جدیدی در خصوص طراحی مدارات XOR/XNOR بالانس، دو مدار جدید نیز ارائه گردیده است. با استفاده از ابزار شبیه‌سازی، ابتدا عملیات تعیین سایز ترانزیستورها برای مدارات صورت پذیرفته تا از لحاظ شاخص PDP بهینه گردند، سپس رفتار زمانی آنها با یکدیگر مقایسه گردیده است. مدار بهینه از لحاظ رفتار زمانی یکی از طرح‌های ارائه شدهٔ جدید شناخته شد. شبیه‌سازی‌ها با تکنولوژی ۰/۱۸ میکرومتر، براساس مدل BSIM3v، انجام شده است.

کلمات کلیدی: XOR/XNOR، بالانس، قابلیت درایو، رفتار زمانی، بستر تست.

۱- مقدمه

پیشرفت روز افزون تکنولوژی ساخت ادوات نیمه‌هادی و بدنبال آن فراهم آمدن شرایط ساخت ادوات بهتر از یک سو و گسترش درخواست ادوات الکترونیکی قابل‌حمل از سوی دیگر، طراحان را بیش از پیش ترغیب نموده تا به منظور دستیابی به این‌گونه ادوات با مشخصه‌های عالی عمل نمایند. پارامترهائی از قبیل، سازگاری با کاهش ولتاژ تغذیه، کاهش توان مصرفی، افزایش سرعت، کاهش مساحت اشغالی، مصونیت در مقابل نویز و کاهش هزینه، به عنوان شاخص‌های مهم طراحی مد نظر قرار گرفته است [1]. در اکثر این ادوات، مدارات محاسبه‌گر از موارد حیاتی به حساب می‌آیند. مواردی از قبیل جمع و تفریق با ممیز ثابت و شناور، ضرب و تقسیم، مقایسه‌گرها و تولید آدرس در میکروپروسسورها و پردازشگرهای سیگنال دیجیتال، از اجزاء اصلی این‌گونه ادوات می‌باشند [1]. به منظور دستیابی به این ادوات با مشخصه‌های عالی لازم است بلوک‌های اصلی و در نهایت، سلول‌های پایهٔ این‌گونه مدارات با بهترین مشخصه‌های ممکن طراحی گردند. بدین ترتیب سلول جمع‌کننده[1] به عنوان اساسی‌ترین سلول، برای ساخت مدارات فوق جایگاهی ویژه یافته و مشخصه‌های سلول FA تعیین‌کنندهٔ مشخصه‌های کلی بخش‌های محاسبه‌گر و در نهایت خصوصیات کل مدار خواهند بود [1,2,3].

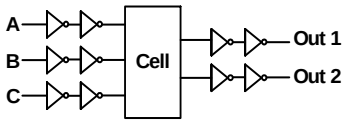
در حال حاضر به منظور دستیابی به مشخصه‌های بهینه، برای تمام جمع‌کننده‌ها، گرایش شدیدی به استفاده از مدارات XOR/XNOR با خروجی‌های بالانس ایجاد گشته است [1,2,3,4]. این نمونه طراحی و آنچه که در این مقاله محور طراحی قرار گرفته، زیرمجموعه نمونه منطقی مختلط می‌باشند، که انگیزه آن استفاده هم‌زمان از نقاط قوت نمونه‌های منطقی مختلف است. مدارات XOR/XNOR بالانس به همراه مالتی‌پلکسرها (تسهیم‌کننده‌ها) اجزاء اصلی کمپرسورها در مدارات ضرب موازی نیز می‌باشند [5,6]. همچنین این مدارات در بلوک‌های مقایسه‌گر و پاریتی‌چکرها نیز نقش بسیار مهمی را ایفا می‌کنند. یکی از اصلی‌ترین دلایل استفاده از مدارات XOR/XNOR بالانس، وجود خروجی‌های مکمل همزمان می‌باشد که امکان حذف و یا کاهش پالس‌های سوزنی ناخواسته[2] در مدار و در نتیجه کاهش توان‌مصرفی را فراهم نموده است [7,6]. در اکثر گزارش‌هایی که در این زمینه ارائه شده، شاخص بهینه‌سازی و یا مقایسه را مصرف انرژی کمتر و یا به عبارتی حاصل ضرب توان در تأخیر کمینه[3] قرار داده‌اند. البته به تعداد ترانزیستور نیز به عنوان پارامتر مهمی جهت مقایسهٔ مدارات، توجه شده

است. موضوع دیگر در خصوص مقایسهٔ مدارها، داشتن بستر تست مناسب می‌باشد که در [1] به خوبی به آن پرداخته شده است. در آنجا اشاره گردیده که عملکرد منفرد یک سلول نمی‌تواند معیار مناسبی جهت مقایسهٔ مدارهای مختلف باشد، زیرا با پشت سر هم قرار گرفتن آنها در یک ساختار مداری بزرگ‌تر، ممکن است نتایج حاصله از عملکرد منفرد صادق نباشد. این امر بدلیل محدودیت در قابلیت درایو خروجی گیت‌ها عنوان گردیده است که در ساختارهای بزرگ‌تر خود را بیشتر نشان می‌دهد. محدودیت قابلیت درایو خروجی، از منطق بکار رفته در طراحی مدار ناشی می‌گردد. برای مثال استفاده از منطق طراحی با ترانزیستور عبور[۴] و یا گیت عبور[۵] علی‌رغم توان‌مصرفی کمتر، اکثراً نوأم با تأخیر بیشتر بوده که این امر ناشی از قابلیت درایو خروجی کمتر مدارات این منطق طراحی می‌باشد. بخصوص زمانی که تعداد ترانزیستورها و یا گیت‌های مسیر انتقال زیاد باشد [8,9,10]. در هر نمونهٔ طراحی منطقی، سؤینگ ناقص خروجی یکی از عوامل مهم در تضعیف قابلیت درایو سلول می‌باشد. در بسیاری از موارد، استفاده از معکوس‌کننده‌های خروجی، قابلیت درایو سلول را افزایش داده است اما اضافه شدن تأخیر معکوس‌کننده‌ها به تأخیر سلول، افزایش توان‌مصرفی ناشی از جریان اتصال کوتاه معکوس‌کننده‌ها و افزایش تعداد ترانزیستورها هزینه‌ای است که در این روش پرداخته می‌شود. با توجه به توضیحات فوق، پارامتر قابلیت درایو خروجی، برای سلول‌ها و یا گیت‌ها از اهمیت فراوانی برخوردار است اما در اکثر گزارش‌های ارائه شده در این زمینه، به صورت توصیفی به آن پرداخته شده است. حال چنانچه بتوان پارامتر تأخیر مدار را بگونه‌ای در نظر گرفت که قابلیت درایو را نیز در آن لحاظ نمود، می‌توان نتایج حاصله از تست منفرد سلول‌ها را با اطمینان کامل در ساختارهای مداری بزرگ‌تر نیز صادق دانست.

با بررسی دقیقی که در این خصوص انجام پذیرفت، پارامترهای دیگری مثل تأخیر بدون بار و اثر بار ورودی سلول (میزان اثر بار خازنی که گیت به طبقهٔ قبل خود اعمال می‌کند) نیز علاوه بر قابلیت درایو خروجی، به عنوان پارامترهای مطرح در تأخیر گیت شناخته شده‌اند. پارامترهای تأخیر به صورت معادله‌ای بر حسب این سه پارامتر ارائه گردید. مقالهٔ حاضر در خصوص معرفی این سه پارامتر مطرح در تأخیر گیت می‌باشد. همچنین در این مقاله، الگوریتم جدیدی برای طراحی مدارات XOR/XNOR بالانس معرفی گردیده و ضمن آنالیز بهترین مدارات ارائه شده در این زمینه، دو طرح جدید نیز ارائه شده است. کلیهٔ مدارات معرفی شده، مبنای شبیه‌سازی برای یافتن سه پارامتر تأخیر قرار گرفته و رفتار زمانی آنها برای ساختارهای مداری بزرگ‌تر مورد مقایسه قرار گرفته است. در بخش ۲ بستر تست مدارات پایه، مورد بررسی قرار گرفته است. بخش ۳ به منظور ارائهٔ الگوریتم جدیدی برای طراحی مدارات XOR/XNOR بالانس پنج مدار از بهترین مدارهایی که در سال‌های اخیر در این زمینه ارائه شده‌اند مورد آنالیز و بررسی قرار گرفته‌اند. بخش ۴ حاوی دو طرح پیشنهادی از این‌گونه مدارات می‌باشد. تجهیزات شبیه‌سازی و عملیات تعیین سایز ترانزیستورها در بخش ۵ آمده است. در بخش ۶ پارامترهای مؤثر در تأخیر گیت معرفی گردیده و در بخش ۷ معادلات تأخیر بر حسب بار برای هفت مدار مورد سنجش بدست آمده و با یکدیگر مقایسه شده‌اند. در بخش ۸ نیز نتیجه ارائه گردیده است.

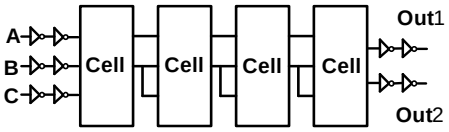
۲- بررسی بسترهای تست مدارات پایه

مدت مدیدی بستر تست و مقایسهٔ مدارات، ساختار سادهٔ شکل ۱ شامل دو بافر در ورودی، جهت تولید شکل موج واقعی و دو بافر در خروجی، جهت ایجاد اثر بار خروجی بود و اکثر گزارش‌ها جهت شبیه‌سازی و مقایسهٔ مدارات از این بستر استفاده نموده‌اند.



شکل ۱- مدل شبیه‌سازی یک سلول به صورت منفرد [11,12,13]

در حال حاضر نیز استفاده از این بستر همچنان ادامه دارد اما در گزارش‌های [11,12,13,14] ادعا شده عملکرد سلول در این بستر منفرد نمی‌تواند بیانگر رفتار سلول در ساختارهای بزرگ‌تر باشد. این امکان وجود دارد که سلول در ساختارهای بزرگ‌تر عملکردی توأم با خطا داشته و یا اصلاً تابع خروجی موردنظر را تولید ننماید و یا تابع مورد نظر را تولید نماید ولی مشخصه‌های آن مطابق با مشخصه‌های اندازه‌گیری شده در بستر تست منفرد نباشد. در اکثر این گزارش‌ها دلیل اصلی این پدیده محدودیت در قابلیت درایو سلول عنوان شده است. همچنین کامل نبودن سؤینگ خروجی‌ها نیز یکی از عوامل کاهش شدید قابلیت درایو خروجی اعلام گردیده و عملکرد مدار را در ولتاژهای پایین نیز محدود می‌کند. به منظور ایجاد شرایط تست بهتر، در گزارش [15] یک مدل تست، شامل چهار طبقه به همراه دو معکوس‌کننده در مسیر ورودی‌های طبقهٔ اول و دو معکوس‌کننده در خروجی‌های طبقهٔ آخر استفاده گردیده است (شکل ۲).

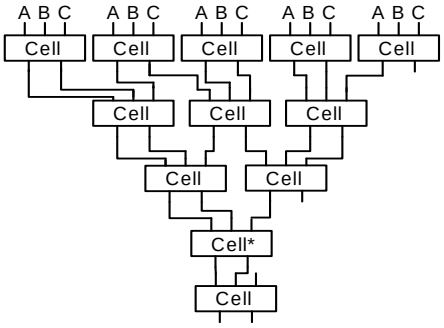


شکل ۲- مدل شبیه‌سازی یک سلول شامل چهار طبقه [15]

البته این بستر تست معمولاً به منظور تست سلول FA ارائه گردیده است ولی بحث ما در حال حاضر به سلول خاصی محدود نگردیده و کلی است. بدین ترتیب با اثر باری که هر سلول برای سلول قبلی خود ایجاد نموده، قابلیت درایو سلول‌ها نیز در تعیین رفتار آنها دخالت داده شده است. پارامتر تأخیر را می‌توان از زمان اعمال سیگنال به ورودی طبقهٔ اول تا مشاهدهٔ تأثیر آن در خروجی طبقهٔ آخر دانست. مقدار توان‌مصرفی مورد اندازه‌گیری نیز می‌تواند شامل توان‌مصرفی همهٔ طبقات و معکوس‌کننده‌ها باشد.

علی‌رغم برتری‌هائی که این بستر شبیه‌سازی نسبت به بستر شبیه‌سازی اولیه دارد، دو اشکال اساسی به آن وارد گردیده است [1]. اول اینکه سلول اول، کلیهٔ الگوهای تست ورودی را می‌پذیرد ولی طبقات بعدی همهٔ الگوهای ممکن تست را نمی‌پذیرند، لذا با تعداد حالات سؤیچ کمتری مواجه بوده و در نتیجه توان‌مصرفی کمتری نسبت به طبقهٔ اول خواهند داشت. البته این اشکال با در نظر گرفتن توان‌مصرفی طبقهٔ اول به عنوان توان‌مصرفی سلول برطرف خواهد شد. اما این مسئله که همهٔ حالات الگوی تست در طبقات بعدی رخ نداده باعث می‌شود برخی از حالات تأخیر نیز در طبقات بعدی رخ ندهد و لذا تأخیر کل بدست آمده ناشی از کل حالات ممکن برای تمامی طبقات نبوده و یک زنجیرهٔ خاص از حالات را دربر گرفته است. بدین ترتیب تأخیر بدست آمده از این زنجیره خاص حالات، به‌طور مطلق معرف بدترین حالت تأخیر نبوده اما چون شرایط مقایسه برای تمامی مدارها در این بستر یکسان است، نتایج تأخیر بدست آمده برای مقایسهٔ مدارهای مختلف به طور نسبی معتبر است. اشکال دیگر این مدل داشتن Fan-Out "۱" در برخی از حالات و Fan-Out "۲" در برخی دیگر از حالات می‌باشد. ممکن است نتایج حاصله از این ساختار برای ساختارهای متفاوت از لحاظ Fan-Out قابل استفاده نباشد. بنابراین، این ساختار نمی‌تواند طرح فراگیری برای مقایسهٔ مدارهای مختلف، در راستای بکارگیری آنها در ساختارهای بزرگ متعدد باشد.

راه حل دیگر برای داشتن بستر تست مناسب، انتخاب یک بخش از یک مدار واقعی و تعیین موقعیت مکانی سلولی که بتواند حالات تست جامع را دربر گیرد می‌باشد. برای مثال در گزارش [1] یک ساختار درختی که بخشی از یک مدار ضرب کنندهٔ موازی می‌باشد انتخاب گردیده و در این ساختار، سلولی به عنوان سلول تست معرفی گردیده که دارای شرایط تست کامل‌تری نسبت به سایرین می‌باشد. (شکل ۳) در این مدل سلول تست دربر گیرندهٔ کلیهٔ الگوهای تست ورودی بوده، در طبقهٔ چهارم مدار قرار گرفته و لذا اثر قابلیت درایو و افت ناشی از آنرا در طی سه طبقهٔ قبلی داراست.



شکل ۳- بستر تست ارائه شده در گزارش [1]

Fan-Out کلیهٔ خروجی‌ها "۱" بوده و شرایط از این لحاظ برای تمام سلول‌ها یکسان است. با توجه به توضیحات قبل می‌توان بستر تست شکل ۳ را مناسب‌ترین و کامل‌ترین بستر تست تاکنون دانست، اما این سؤال باقی است که آیا نتایج حاصله از این بستر، قابل استفاده در سایر مدارات با ساختارهای متفاوت از لحاظ Fan-Out، اتصالات داخلی[۶]، پردازشگرهای با تعداد طبقات بیشتر و یا ساختارهای ترکیبی که در آن از مدارهای متفاوت با این سلول نیز بکار رفته است می‌باشد؟ پاسخ به طور قطع مثبت نخواهد بود. می‌توان نتایج حاصله را برای این ساختار خاص و همهٔ مدارهائی که رفتارشان زیرمجموعه‌ای از حالات این ساختار باشد پذیرفت، ولی برای ساختارهای متفاوت دیگر این امکان وجود ندارد. پس در این حالت لازم خواهد بود برای هر ساختار بخصوص، به طور مستقل این روند تکرار گردد و نتایج حاصله فقط برای آن ساختار بخصوص معتبر شناخته شود. در اینجا یک سؤال مهم مطرح می‌گردد که آیا می‌توان به شرایطی از تست دست یافت که نتایج حاصله بیانگر این باشد که سلول مطلوب در هر ساختاری و با هر شرایط دلخواهی بهتر از سایرین عمل خواهد نمود؟ پاسخ این سؤال در این گزارش برای بررسی رفتار زمانی (تأخیر) سلول بدون در نظر گرفتن توان‌مصرفی مثبت است.

در این گزارش روندی ارائه گردیده که در آن می‌توان رفتار زمانی سلول‌ها را در قیاس با یکدیگر مورد بررسی قرار داده و سریع‌ترین سلول را برای هر ساختار دلخواه از بین سلول‌های مورد تست معرفی نمود. در گزارش‌های که تاکنون در خصوص پارامتر تأخیر مدارات و یا گیت‌ها ارائه شده، همواره به قابلیت درایو خروجی و یا کامل نبودن سؤینگ خروجی اشاره شده و به صورت تحلیلی این دو پارامتر را عامل کاهش سرعت در طبقات بعدی و در نتیجه کل مدار دانسته‌اند. در این گزارش سه پارامتر مهم که در رفتار زمانی یک سلول نقش اساسی دارند معرفی گردیده و سعی شده تا با اندازه‌گیری این سه پارامتر رفتار زمانی سلول به طور جامع‌تری معرفی گردد. این سه پارامتر به اختصار عبارتند از:

t_{do}: تأخیر گیت بدون بار

C_{eq}: اثر بار خازنی ورودی سلول که به طبقهٔ قبل اعمال می‌گردد.

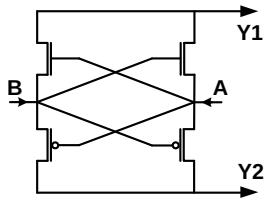
$1/\alpha$: قابلیت درایو سلول که در آن α شیب منحنی تأخیر برحسب بار خروجی سلول می‌باشد.

۳- نگرشی نوین در طراحی مدارات XOR/XNOR بالانس

در منطق‌های مختلف مدارات VLSI همواره روش‌های طراحی کلاسیک خاصی که بیشترین سازگاری را با آن مدارات دارد مورد استفاده قرار می‌گیرد. اما در برخی از طراحی‌ها که به منظور کاهش تعداد ترانزیستورها و یا بهبود مشخصه‌های مدار صورت می‌گیرد با اتکا به نبوغ و خلاقیت طراح به طرح ویژه‌ای می‌رسیم که با طی روند کلاسیک هیچ‌یک از منطق‌های موجود، نمی‌توان به آن طرح خاص رسید. درمورد مدارات XOR/XNOR ارائه شده نیز این‌چنین بوده و ما هر ساله شاهد گزارش‌هایی هستیم که در آن طرح جدیدی ارائه گردیده و در آن برخی از مشخصهٔ‌های مدار در مقایسه با طرح‌های قبلی بهبود یافته است [16,1,7,17]. در این مقاله با بررسی طرح‌های ویژه‌ای که هر یک به صورت مستقل در زمان‌های مختلف ارائه گردیده‌اند، به یک نظم و ارتباطی بین این طرح‌ها دست یافته‌ایم که خود به یک روش سیستماتیک در طراحی این‌گونه مدارات منجر شده و اساس طراحی دو طرح جدید گردیده است.

۳-۱- ارائهٔ روند طراحی

به مدار شکل ۴ توجه کنید، این مدار به عنوان سلول پایه در طراحی مدارات XOR/XNOR با خروجی‌های هم زمان انتخاب گردیده است، ولی عملکرد آن مطابق با جدول ۱ بیان‌گر آن است که این سلول پایه بخودی خود نمی‌تواند به عنوان گیت XOR/XNOR بکار رود.



شکل ۴- نمایش مدار سلول پایه

جدول ۱- جدول صحت سلول پایه

B	A	Y2	Y1
0	0	0NFS	Hi_Z
0	1	1	0
1	0	1	0
1	1	Hi_Z	1NFS

از جدول ۱ مشاهده می‌گردد بازاء "AB="00، خروجی Y1 به حالت امپدانس بی‌نهایت (Hi-Z) رفته و خروجی Y2 دارای یک "0" با سؤینگ ناقص (NFS) می‌باشد. همچنین بازاء حالت "AB="11، خروجیY2 به حالت Hi-Z رفته و خروجی Y1 دارای یک "1" با سؤینگ ناقص (NFS) می‌باشد.

به منظور استفاده از سلول پایه به عنوان گیت XOR/XNOR، لازم است حالت امپدانس بینهایت در خروجی Y1 را به "1" و حالت امپدانس بی‌نهایت در خروجی Y2 را به "0" تبدیل نمائیم. همچنین اگر بخواهیم گیت حاصل دارای

مشخصه‌های خوب باشد لازم خواهد بود حالت‌های سؤینگ ناقص آنرا نیز به خروجی‌هایی با سؤینگ کامل تبدیل نمائیم.

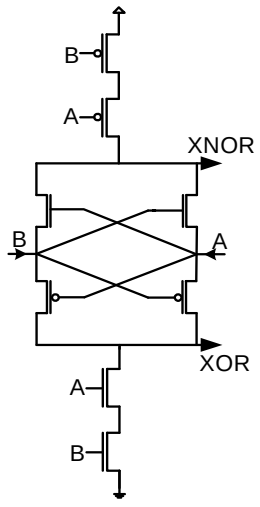
۳-۲- طرح اول: مدار 8T

مطابق با مدار شکل ۵ با استفاده از دو ترانزیستور pmos به عنوان شبکهٔ بالا بر[۷] برای خروجی Y1 و دو ترانزیستور nmos به عنوان شبکهٔ پائین‌بر[۸] برای خروجی Y2، حالات Hi-Z از بین رفته و با جایگزینی حالات "1" برای Y1 و "0" برای Y2، خروجی‌های Y1 و Y2 به ترتیب به خروجی‌های XNOR و XOR تبدیل می‌گردند.

طرح بدست آمده را مدار 8T می‌نامیم. این مدار همچنان محدودیت سؤینگ ناقص را بازاء حالات "AB="11 و "AB="00 به ترتیب برای خروجی‌های XOR و XNOR داراست، اما می‌تواند به عنوان یکی از مدارات XOR/XNOR بالانس مورد بررسی قرار گرفته و با سایر مدارات از لحاظ مشخصه‌های مورد نظر مقایسه گردد. البته طرح 8T به صورت دو بخش مجزا در مرجع [16] مورد استفاده قرار گرفته است.

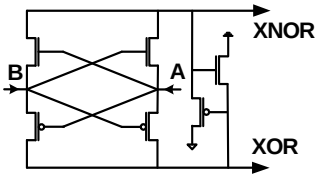
۳-۳- طرح دوم: مدار 6T

مطابق با مدار شکل ۶ با استفاده از یک ترانزیستور nmos و یک ترانزیستور pmos به عنوان یک شبکهٔ پسخورد در بین خروجی‌های XOR و XNOR، ضمن حذف حالات Hi-Z خروجی‌ها، مشکل سؤینگ ناقص برخی از حالات خروجی را نیز برطرف نموده است. این عمل بدین ترتیب امکان‌پذیر گشته که بازاء حالت "AB="00 که خروجی XOR بدلیل افت ناشی از ولتاژ آستانه یک مقدار "0" ضعیف بخود می‌گیرد،



شکل ۵- نمایش طرح مدار 8T [16]

باعث روشن شدن ترانزیستور pmos شبکهٔ پسخورد گشته و در نتیجه خروجی XNOR به Vdd خواهد رسید. خروجی XNOR که به مقدار "1" کامل رسیده است باعث روشن شدن ترانزیستور nmos شبکهٔ پسخورد گشته و خروجی XOR را از مقدار "0" ضعیف به مقدار "0" کامل خواهد برد. بهمین ترتیب مطابق با چرخهٔ بالا بازاء "AB="11 خروجی XNOR ابتدا به مقدار "1" ضعیف رسیده و باعث روشن شدن ترانزیستور nmos شبکهٔ پسخورد گشته و خروجی XOR با رسیدن به مقدار "0" کامل، ترانزیستور pmos شبکهٔ پسخورد را روشن نموده تا خروجی XNOR را به مقدار "1" کامل، یعنی Vdd برساند.

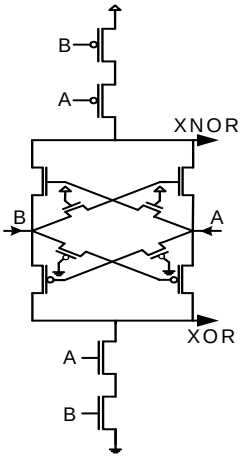


شکل ۶- نمایش طرح مدار 6T [1,5,11,17,4]

در اولین نگاه می‌توان تشخیص داد که طرح 6T دو ترانزیستور از طرح 8T کمتر داشته و همهٔ حالات خروجی آن با سؤینگ کامل است. اما عملکرد شبکهٔ پسخورد در سرعت مدار مؤثر بوده و در شبیه‌سازی‌ها نیز مشاهده گردید که نحوهٔ عملکرد مدار به سایزبندی ترانزیستورهای شبکهٔ پسخورد به شدت وابسته است. از این مدار در گزارش‌های زیادی از جمله [1,5,11,17,4] استفاده شده است.

۳-۴- طرح سوم: مدار 8TB

مدار 8T به عنوان گیت XOR/XNOR عملکرد صحیح داشته ولی خروجی‌های آن در برخی از حالات با سؤینگ ناقص می‌باشد، چنانچه مطابق با مدار شکل ۷ دو ترانزیستور nmos در مسیر ورودی‌ها و گیت ترانزیستورهای nmos سلول پایه و دو ترانزیستور pmos در مسیر ورودی‌ها و گیت ترانزیستورهای pmos سلول پایه قرار دهیم، باعث شیفت ولتاژهای گیت ترانزیستورهای سلول پایه گشته و به اصطلاح عمل بوت استراپ[۹] رخ داده و بدین ترتیب افت ولتاژ ناشی از ولتاژ آستانهٔ ترانزیستورها جبران گردیده و خروجی‌ها در همهٔ حالات با سؤینگ کامل خواهند بود [16]. نتایج شبیه‌سازی نشان داده است که برای انجام عمل بوت[۱۰] کامل و داشتن خروجی‌هایی با سؤینگ کامل، سایز ترانزیستورهای بوت اهمیت دارد.

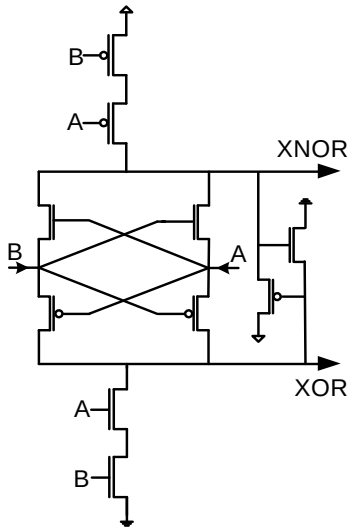


شکل ۷- نمایش طرح مدار 8TB [16]

همچنین این نتایج حاکی از آن بود که مشخصه‌های سرعت و توان مصرفی نیز علاوه بر مساحت (بدلیل اضافه نمودن چهار ترانزیستور اضافه) تحت تأثیر ترانزیستورهای Boot می‌باشند. البته مدار 8TB در گزارش [16] به صورت دو بخش مجزا مورد استفاده قرار گرفته است.

۳-۵- طرح چهارم: مدار 8TF

برطرف کردن مشکل سؤینگ ناقص خروجی‌های مدار 8T در برخی از حالات ورودی می‌تواند با استفاده از شبکهٔ پسخورد مورد استفاده در مدار 6T امکان‌پذیر گردد. این طرح در شکل ۸ نشان داده شده است. مشاهده می‌شود در مدار 8TF دو ترانزیستور کمتر از مدار 8TB استفاده شده است. نتایج شبیه‌سازی‌ها حاکی از آن است که شبکهٔ پسخورد همانند مدار 6T در مشخصه‌های مدار تأثیرگذار است. در گزارش [1] از این مدار به عنوان یک طرح جدید (البته با ظاهری متفاوت) در ساختار یک سلول جمع‌گر کامل یک بیتی استفاده شده است.



شکل ۸- نمایش طرح مدار 8TF [1]

۳-۶- طرح پنجم: مدار 8TI

مدار شکل ۹ با نام 8TI، با اضافه نمودن دو معکوس‌کننده درخروجی‌های مدار 8T بدست می‌آید. خروجی‌های این مدار، بازاء همهٔ حالات ورودی با سؤینگ کامل خواهند بود. این عمل با اضافه نمودن چهار ترانزیستور، همانند مدار *8TB* دارای مساحت اشغالی بیشتری می‌باشد ولی بجز افزایش تعداد ترانزیستورها طبیعی است تأخیر معکوس‌کننده نیز به تأخیرهای اولیهٔ مدار 8T اضافه شده و بدلیل جریان اتصال کوتاه معکوس‌کننده‌های خروجی، توان مصرفی نیز افزایش خواهد داشت. اما در مقابل قابلیت درایو خروجی‌ها تقویت گشته است. تکنیک استفاده از معکوس‌کننده در خروجی مدارات با سؤینگ ناقص و تبدیل آنها به مدارات با سؤینگ کامل، از زمان‌های بسیار قبل در طراحی مدارات VLSI مرسوم بوده است [18].

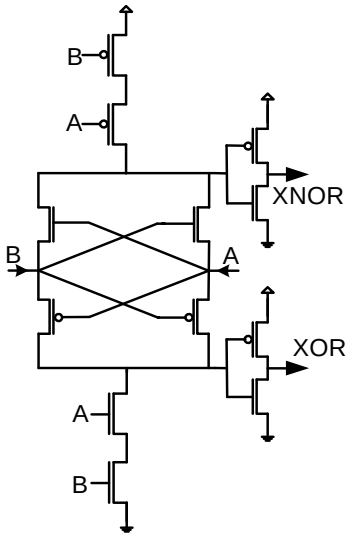
۴- ارائهٔ دو طرح جدید XOR/XNOR بالانس

همان‌گونه که در بخش‌های قبل اشاره شد، هر یک از مداراتی که تاکنون مورد بررسی قرار گرفته است، به عنوان طرح‌هائی در گزارش‌هایی که قبلاً منتشر شده، ارائه و یا مورد استفاده قرار گرفته‌اند و ما در این مقاله با معرفی سلول پایه، نگرش جدیدی در آنالیز و طراحی این‌گونه مدارات ارائه نموده‌ایم.

با استفاده از این روش جدید طراحی، دو طرح جدید دیگر نیز بدست آمده و به همراه پنج طرح قبلی مورد بررسی و مقایسه قرار گرفته‌اند.

۴-۱- طرح ششم: مدار 8TBF

همان‌گونه که در بخش طراحی مدار 8TB اشاره گردید، اضافه نمودن ترانزیستورهای Boot به مدار 8T، خروجی‌های آنرا بازاء کلیهٔ حالات ورودی، به سؤینگ کامل تبدیل نمود.

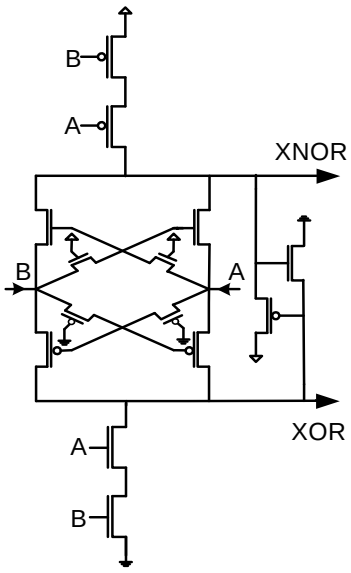


شکل ۹- نمایش طرح مدار 8TI

همچنین با توجه به نتایج شبیه‌سازی، وقوع عمل بوت‌استراپ به طور کامل منوط به سایز مناسب برای ترانزیستورها بود. از طرفی مدار 6T با استفاده از شبکهٔ پسخورد، حالات امپدانس بی‌نهایت را حذف و خروجی‌های با سؤینگ کامل ایجاد نموده است. در این مدار نیز با توجه به نتایج شبیه‌سازی، اندازهٔ ترانزیستورهای شبکهٔ پسخورد در مشخصه‌های مدار نقش مؤثری داشته و در برخی از ابعاد، مدار دچار عملکرد خطا بود. لذا چنانچه نقش سایزبندی ترانزیستورها را در استفاده از این دو تکنیک مهم بدانیم، طرح دیگری تعریف می‌گردد که در آن از هر دو تکنیک پسخورد و بوت‌استراپ به منظور بهینه‌سازی پارامترهای مدار استفاده شده باشد. بدیهی است این طرح از لحاظ تعداد ترانزیستور وضعیت مطلوبی نسبت به سایر طرح‌های قبلی نداشته ولی با توجه به استفادهٔ همزمان دو تکنیک بوت‌استراپ و پسخورد و ادغام آن با ابزار تعیین سایز ترانزیستورها می‌توان انتظار داشت به مشخصه یا مشخصه‌های مطلوبی نسبت به طرح‌های دیگر رسید. مدار *8TBF* در شکل ۱۰ نشان داده شده است.

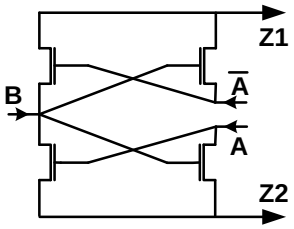
۴-۲- طرح هفتم: مدار 6TN

در تمامی طرح‌های قبلی سلول پایه محور طراحی مدار بود و ما به روش‌های مختلف آن سلول پایه را به یک مدار XOR/XNOR کامل تبدیل نمودیم. در سلول پایه از دو ترانزیستور nmos و دو ترانزیستور pmos استفاده گردیده بود. بدلیل مزایایی که ترانزیستورهای nmos نسبت به ترانزیستورهای pmos دارند، معمولاً در طراحی‌های مدارات VLSI، گرایش به استفاده از ترانزیستورهای nmos امری واضح و طبیعی است. ترانزیستورهای pmos بدلیل کند بودنشان نسبت به nmosها، معمولاً با عرض کانال بزرگ‌تر ساخته می‌شوند و این امر باعث افزایش مساحت و اثر بار خازنی بزرگ‌تر برای خروجی‌های مدار قبلی خواهد شد.



شکل ۱۰- نمایش طرح مدار 8TBF

چنانچه بخواهیم سلول پایه را فقط با ترانزیستورهای nmos بسازیم به طرح نشان داده شده در شکل ۱۱ خواهیم رسید.



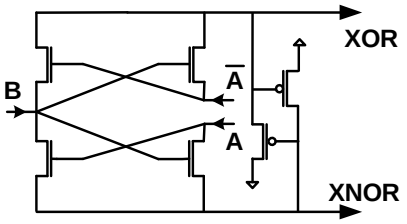
شکل ۱۱- نمایش مدار سلول پایهٔ nmos

همچنین عملکرد آن نیز در جدول ۲ آمده است. مطابق با جدول ۲ برای تبدیل سلول پایهٔ nmos به مدار XOR/XNOR کامل، لازم خواهد بود حالات Hi-Z مربوط به خروجی‌های Z1 و Z2 را به "1" تبدیل نمائیم تا جدول XOR/XNOR حاصل گردد. این امر با استفاده از شبکهٔ پسخورد امکان‌پذیر است ولی چون در حالات Hi-Z خروجی‌های متناظر دیگر هر دو به مقدار "0" تعیین وضعیت شده‌اند لازم خواهد بود شبکهٔ پسخورد شامل دو ترانزیستور pmos باشد تا با تحریک "0" درایو گردیده و خروجی طرف مقابل را به "1" ببرند. البته در جدول ۲ کلیهٔ حالات "0" با سؤینگ کامل و حالات"1" بدلیل افت ولتاژ آستانهٔ nmos با سؤینگ ناقص می‌باشندکه با اضافه کردن شبکهٔ پسخورد، کلیهٔ حالات به سؤینگ کامل خواهند رسید.

جدول ۲- عملکرد سلول پایهٔ nmos

B	A	Z2	Z1
0	0	Hi_Z	0
0	1	0	Hi_Z
1	0	0	1NFS
1	1	1NFS	0

در شکل ۱۲ مدار 6TN با سلول پایهٔ nmos و شبکهٔ پسخورد pmos نشان داده شده است. نتایج شبیه‌سازی‌ها همچنان بیان‌گر آن است که سایز ترانزیستورهای شبکهٔ پسخورد در عملکرد مدار نقش مؤثری دارد. اشکالی که به مدار 6TN می‌توان گرفت آنست که برای اعمال ورودی A و مکمل آن نیاز به یک معکوس‌کننده خواهد بود.



شکل ۱۲- نمایش طرح مدار 6TN

اما این نکته دارای اهمیت است که این معکوس‌کننده فقط برای گیت طبقهٔ اول نیاز بوده و در سایر طبقات، بدلیل استفاده از خروجی‌های مکمل XOR/XNOR دیگر نیاز نخواهد بود.

۵. تجهیزات شبیه‌سازی و عملیات تعیین سایز ترانزیستورها

همان‌گونه که در بخش‌های قبلی اشاره گردید، هدف ما در این گزارش بررسی رفتار زمانی مدارات XOR/XNOR معرفی شده در بخش‌های ۳ و ۴ می‌باشد. اما با توجه به نقش و اهمیت سایزبندی ترانزیستورها درتعیین مشخصه‌های مدارات، لازم است قبل از بررسی رفتار زمانی آنها در ساختارهای با بیش از یک طبقه، از بهینه بودن وضعیت آنها از لحاظ سایز ترانزیستورها مطمئن بود تا مدارات را در بهترین وضعیتشان با یکدیگر مقایسه نمود. از طرفی عملیات بهینه‌سازی مدارات با تعیین سایز ترانزیستورها، می‌تواند به منظور بهینه‌سازی پارامترهای مختلفی انجام پذیرد. در حال حاضر در اکثر گزارش‌های ارائه شده در این زمینه، پارامتر انرژی و یا همان حاصل ضرب توان در تأخیر (PDP)، به عنوان شاخص مقایسه و بهینه‌سازی مدارات، در نظر گرفته شده است. ما نیز شاخص بهینه‌سازی را در این قسمت توان ـ تأخیر (PDP) انتخاب نموده و سایز ترانزیستورها را به منظور بهینه‌سازی انرژی تعیین نمودیم.

۵-۱- تجهیزات و شرایط شبیه‌سازی

بستر تست مورد استفاده در این قسمت، جهت عملیات ترانزیستور سایزینگ، استفاده از دو بافر متوالی در مسیر پالس‌های ایده‌آل ورودی بوده تا پالس‌های اعمال شده به گیت‌ها به فرم واقعی باشند.

همچنین از بافرهائی در خروجی استفاده گردید تا اثر بار خروجی نیز برای گیت‌ها لحاظ گردد. الگوهای تست ورودی برای هر گیت، شامل حالات ورودی و کلیهٔ حالات گذرا (جمعاً ۱۲ حالت) به ورودی‌های گیت اعمال گردیده و پارامتر تأخیر از بدترین حالت ممکن در نظر گرفته شد. پارامتر تأخیر از ۵۰٪ دامنهٔ موج تحریک تا ۵۰٪ دامنهٔ موج پاسخ در نظر گرفته شد. فرکانس پالس ورودی 150 MHz و زمانهای صعود و سقوط آن $t_r=t_f=10ps$ انتخاب گردیده است. بدلیل اینکه مدارهای مورد تست ما گیت‌های XOR/XNOR با خروجی‌های بالانس می‌باشند، تأخیر گیت از بیشینه مقادیر تأخیر دو خروجی برای هر حالت در نظر گرفته شد.

$$t_d(Gate)=Max(t_d(XOR),t_d(XNOR))$$

۵-۲- عملیات تعیین سایز ترانزیستورها

می‌دانیم عملیات بهینه‌سازی مدار از طریق سایزبندی ترانزیستورها، می‌تواند به منظور بهینه‌سازی هر یک از مشخصه‌های مدار از جمله توان مصرفی، تأخیر، حاصلضرب توان در تأخیر، پایداری نسبت به نویز، مساحت اشغالی و غیره باشد. انتخاب شاخص بهینه‌سازی به نیاز و کاربرد ما بستگی دارد. اما در بسیاری از تجهیزات روز، بخصوص تجهیزات قابل حمل، شاخص انرژی به عنوان مهمترین پارامتر بهینه‌سازی توسط ابزار تعیین سایز ترانزیستورها انتخاب شده است. شاخص انرژی را حاصلضرب توان در تأخیر (PDP) در نظر گرفته و سعی می‌شود سایز ترانزیستورها بگونه‌ای تعیین گردد که PDP کمینه گردد. همچنین در گزارش [4] آمده است که تعیین سایز ترانزیستورها برای دستیابی به بهترین مشخصه، بستگی به تکنولوژی بکار رفته دارد. در این صورت باید پذیرفت در کلیهٔ گزارش‌هایی که مدارها به کمک عملیات تعیین سایز ترانزیستورها بهینه شده‌اند، نتایج بدست آمده برای آن تکنولوژی خاص و ولتاژ تغذیهٔ بخصوص از اعتبار کامل برخوردار بوده ولی برای تکنولوژی‌های دیگر و یا ولتاژهای تغذیهٔ متفاوت می‌تواند با تغییرات اساسی مواجه‌گردد. در این گزارش از روش سایزبندی ترانزیستورها که در گزارش [1] ارائه گردیده استفاده شده است. شاخص بهینه‌سازی، حاصلضرب توان در تأخیر در نظر گرفته شد و این عملیات برای هفت مدار ارائه شده در بخش ۴ اجرا گردید. در طی روند تعیین سایز ترانزیستورها، طول کانال همهٔ ترانزیستورها کمینه و برابر حد تکنولوژی (یعنی 0.18um) تعیین گردید و برای بهینه‌سازی هر ترانزیستور فقط عرض کانال (بر حسب میکرومتر) سایزبندی شده است. نتایج حاصله در جدول ۳ آمده است.

نتایج بدست آمده در جدول ۴ بیانگر آن است که مدار بهینه در این مرحله، مدار 6T بوده و پس از آن مدار 8TF با ۱۰٪ افزایش، مدار 8TB با ۱۱٪ افزایش، تا در نهایت که مدار 8TBF با ۵۹٪ افزایش شاخص PDP نسبت به مدار اول می‌باشند. لازم به یاد آوری است، این نتایج در بستر تکنولوژی خاص و بازاء ولتاژ تغذیهٔ 1.8v بدست آمده و با تغییرات ولتاژ تغذیه و یا تکنولوژی، این نتایج معتبر نبوده و عملیات تعیین سایز ترانزیستورها بایستی به طور کامل تکرار گردد.

۶- معرفی پارامترهای مؤثر در تأخیر گیت

چنانچه پارامترهائی مثل، زمان صعود و سقوط پالس ورودی، ولتاژ تغذیهٔ مدار، تکنولوژی بکار رفته و سایز ترانزیستورها را برای گیت یا گیت‌های مورد بررسی ثابت در نظر بگیریم، براساس مفاهیم Logical Effort پارامترهای دیگر مطرح در تعیین تأخیر گیت را می‌توان به شرح زیر معرفی نمود [19]:

۱- تأخیر گیت در حالت بدون بار t_{do}

۲- قابلیت درایو خروجی α

۳- اثر بار ورودی C_{eq}

جدول ۴- ترتیب مدارها براساس شاخص PDP

رتبه	مدار	PDP(f j)	PDP(نرمالیزه)
1	6T	0.80	1
2	8TF	0.89	1.10
3	8TB	0.90	1.11
4	6TN	1.01	1.25
5	8T	1.04	1.29
6	8TI	1.07	1.33
7	8TBF	1.28	1.59

با افزایش بار خروجی (CL) تأخیر افزایش می‌یابد، این افزایش یا کاملاً خطی بوده و یا منحنی خواهد بود که رفتار آن بسیار به یک خط نزدیک است. نتایج شبیه‌سازی‌های هفت مدار مورد سنجش در این گزارش، بازاء حالات مختلف بیان‌گر رفتار کاملاً خطی و یا در برخی از گیت‌ها این رفتار توأم با انحنا بدست آمده است (شکل ۱۶). برای رفتارهای کاملاً خطی، شیب تأخیر (t_{do}) بر حسب بار (C_L) را مستقیماً از منحنی اندازه‌گیری نموده و آنرا α می‌نامیم. برای مواردی که‌اندکی انحنا در رفتار خروجی مشاهده گردید، ابتدا بروش کمینه خطا، مناسب‌ترین خط را بر منحنی بدست آمده برازش نموده و سپس شیب آنرا بدست می‌آوریم. طبیعی است در این حالت نتایج توأم با اندکی تلرانس خواهد بود. بررسی دقیق نشان داد این تلرانس بسیار اندک بوده و در نتایج نهائی تأثیر چندانی نخواهد داشت. α که شیب تغییرات تأخیر برحسب بار است را معرف قابلیت درایو خروجی گیت می‌دانیم، بدین ترتیب که هر چقدر این شیب کوچک‌تر باشد، قابلیت درایو خروجی بیشتر و هرچقدر شیب بیشتر باشد قابلیت درایو خروجی گیت کمتر خواهد بود.

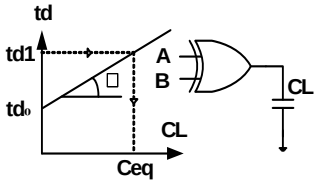
چنانچه به‌عنوان بار خروجی گیت مورد سنجش، یک گیت دیگر مشابه با گیت اصلی قرار گیرد (معرف Fan-Out=1)، تأخیر بدست آمده از این حالت خاص را t_{d1} می‌نامیم. حال اگر تأخیر t_{d1} را بر روی منحنی تأخیر برحسب بار (شکل ۱۳ (ب)) مشخص نمائیم، متناظر با بار خازنی بخصوصی خواهد بود، این بار خازنی را C_{eq} نامیده و به عنوان اثر بار ورودی، که به خروجی طبقهٔ قبل اعمال می‌گردد خواهیم شناخت. اینک می‌توان معادلهٔ تأخیر برحسب بار را به‌صورت زیر نمایش داد.

جدول ۳- نتایج تعیین سایز ترانزیستورها برای هفت مدار XOR/XNOR

بخش	سلول پایه		پسخورد		Pull up	Pull down	Bootstrapped		معکوس‌کننده‌های خروجی	
نوع Tr. / نام مدار	Nmos	Pmos	Nmos	Pmos	Pmos	Nmos	Nmos	Pmos	Nmos	Pmos
8T	0.336	0.708	--	--	0.228	0.518	--	--	--	--
6T	0.572	0.598	0.338	0.180	--	--	--	--	--	--
8TB	0.180	0.420	--	--	0.300	0.210	0.240	0.570	--	--
8TF	0.260	0.720	0.180	0.180	0.180	0.340	--	--	--	--
8TI	0.246	0.334	--	--	0.180	0.290	--	--	0.224	0.180
8TBF	0.360	0.650	0.180	0.180	0.180	0.180	0.580	0.470	--	--
6TN	0.378	0.396	--	0.198*	--	--	--	--	--	--

کلیهٔ اندازه‌ها برای عرض کانال ترانزیستورها بوده و واحد آنها um می‌باشد.

- ترانزیستورهای پسخورد مدار 6TN، هر دو از نوع Pmos با سایزهای مشابه می‌باشند.



(ب) (الف)

شکل ۱۳- (الف) نمایش گیت XOR با بار خازنی
(ب) منحنی تأخیر برحسب بار

$$t_d(C_L) = \alpha \times C_L + t_{do}$$ معادلهٔ (۱)

در این معادله، چنانچه C_L را با مقدار C_{eq} جایگزین نمائیم، t_{d1} یعنی تأخیر ناشی از قرار گرفتن گیتی همانند گیت اصلی در خروجی بدست خواهد آمد.

۶-۱- معرفی پارامترهای مؤثر در تأخیر، برای مدارات XOR/XNOR بالانس

یک گیت XOR/XNOR بالانس دارای دو مکمل بوده که همواره بایستی به صورت کاملاً همزمان، بازاء تغییرات ورودی تغییر حالت داشته باشند. ساختار هفت گیت مورد سنجش این گزارش همگی با خروجی‌های بالانس می‌باشند. لذا تعیین پارامترهای C_L، α و C_{eq} اندکی با گیت‌های یک خروجی متفاوت خواهد بود. تعیین پارامتر α برای XOR/XNOR بالانس به منظور تعیین شیب خط تأخیر برحسب بار (α) برای گیت مذکور، دو بار C_L را در مسیر هر یک از خروجی‌های XOR و XNOR تا زمین قرار داده و به منظور اندازه‌گیری تأخیر، مقدار این دو بار C_L به طور کاملاً یکسان افزایش داده شده است.

در اینجا ما با دو تأخیر t_d(XOR) و t_d(XNOR) مواجه هستیم که ممکن است کاملاً با یکدیگر برابر نباشند. لذا تأخیر گیت را در این شرایط از بیشینه مقدار این دو تأخیر بدست آورده و این تأخیر بیشینه را مبنای محاسبهٔ قابلیت درایو گیت (α) قرار داده‌ایم. $t_d(Gate) = Max\ (t_d(XOR)\ \&\ t_d(XNOR))$

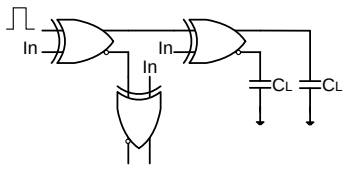
تعیین پارامتر t_{do} برای XOR/XNOR بالانس مطابق با شرایط توضیح داده شده در قسمت قبل، چنانچه خازن‌های بار C_L را از خروجی‌های مدار حذف نمائیم، تأخیر گیت t_d(Gate) بدست آمده، معرف t_{do} یا تأخیر گیت در حالت بدون بار خواهد بود. تعیین پارامتر C_{eq} برای XOR/XNOR بالانس چنانچه بخواهیم اثر بار ورودی را برای گیت XOR/XNOR با خروجی‌های بالانس بدست آوریم، لازم است هر یک از دو خروجی گیت را به یک ورودی از دو گیت مشابه که به عنوان بار در نظر گرفته شده‌اند متصل نمائیم. در این مدل ورودی‌های دوم گیت‌های بار، می‌توانند دو حالت متفاوت "0" و یا "1" بخود بگیرد. می‌توان C_{eq} را در این مدل برای هر دو حالت، به صورت مجزا در نظر گرفت و به دو پارامتر $C_{eq}(0)$ و $C_{eq}(1)$ رسید. در این قسمت گیت‌های بار، خود بدون بار اختیار شده‌اند.

۶-۲- تعیین پارامترهای مؤثر در تأخیر مدارات XOR/XNOR بالانس، برای طبقات بعدی

به منظور تعیین پارامترهای مؤثر در تأخیر طبقات بعدی، ابتدا به نحوهٔ محاسبهٔ پارامترهای طبقهٔ دوم می‌پردازیم. به مدار شکل ۱۴ توجه نمائید، در این مدار گیت طبقهٔ دوم به عنوان گیت مورد سنجش در خروجی XOR قرار گرفته و در خروجی XNOR، یک گیت دیگر به عنوان بار، با شرایط Fan-Out=1 قرار دارد.

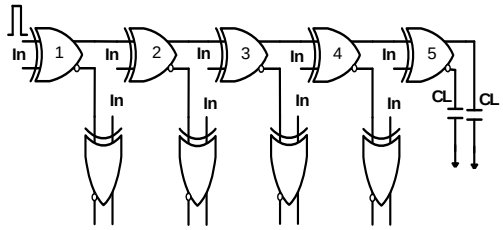
همان‌گونه که مشاهده می‌گردد، دو خازن بار در خروجی‌های گیت مورد سنجش قرار دارند. با حذف این خازن‌ها از خروجی گیت مورد سنجش، پارامتر تأخیر بدون بار (t_{do}) برای طبقهٔ دوم بدست می‌آید. چنانچه خازن‌های بار خروجی را از مقدار صفر تا مقدار بیشینه موردنظر افزایش دهیم، شیب منحنی تأخیر بر حسب بار (α) معرف قابلیت درایو طبقهٔ دوم خواهد بود.

با قرار دادن دو گیت مشابه بجای خازن‌های با (C_L) تأخیری بدست می‌آید که با استفاده از منحنی تأخیر برحسب بار، اثر بار ورودی (C_{eq}) طبقهٔ دوم نیز قابل محاسبه خواهد بود. ورودی‌های دوم گیت‌ها در دو حالت مجزا، یک بار با مقدار "0" و بار دیگر با مقدار "1" به ترتیب معرف پارامترهای $\alpha(0)$، $t_{do}(0)$، $C_{eq}(0)$ و $\alpha(1)$، $t_{do}(1)$، $C_{eq}(1)$ خواهند بود.



شکل ۱۴- مدار سنجش پارامترهای تأخیر طبقهٔ دوم

روندی که برای محاسبهٔ پارامترهای طبقهٔ دوم بیان گردید، می‌تواند برای محاسبهٔ پارامترهای تأخیر مدار برای سایر طبقات بکار آید. ما در این گزارش این روند را برای پنج طبقه تکرار نموده‌ایم که مدار آن در شکل ۱۵ آمده است. بدیهی است چنانچه دقت یا ضریب اطمینان بیشتری مد نظر باشد، می‌توان این روند را برای شبکهٔ زنجیره‌ای با طبقات بیشتری انجام داد.



شکل ۱۵- شبکهٔ زنجیره‌ای تست پارامترها، شامل پنج طبقه

در روند محاسبهٔ پارامترهای سه گانهٔ تأخیر، همواره دو مرحلهٔ تست خواهیم داشت، یکی با ورودی In="0" و دیگری با ورودی In="1"، که در این صورت با اعمال پالس ورودی به گیت طبقهٔ اول، هر چهار حالت ورودی برای کلیهٔ طبقات ایجاد می‌گردد. تأکید ما در این بخش از شبیه‌سازی‌ها، اندازه‌گیری پارامترهای سه‌گانهٔ تأخیر، برای طبقات مختلف و گیت‌های مختلف در شرایط عملکرد کاملاً مشابه بوده تا از نتایج بدست آمده، امکان مقایسهٔ دقیق بین طبقات و گیت‌های مختلف فراهم گردد.

۶-۳- نتایج شبیه‌سازی

تمامی شبیه‌سازی‌ها انجام شده در این مقاله براساس تکنولوژی ۰/۱۸ میکرومتر، و با استفاده از مدل BSIM3v، توسط نرم‌افزار HSPICE (تحلیل داده‌ها با استفاده از CosMos-Scope)، در دمای ۲۵ درجه سانتی‌گراد انجام شده است. الگوهای

ورودی و ترتیب اعمال آنها به مدارات نیز توسط نرم‌افزار MATLAB تولید شده‌اند. نتایج شبیه‌سازی هفت مدار معرفی شده در بخش‌های ۳ و ۴ برای طبقات مختلف، در جدول ۵ ضمیمه آمده است. این نتایج معرف پارامترهای مطرح در تأخیر گیت‌ها بوده و در دو حالت مجزای "In="0 و "In="1 ($C_{eq}(0)$، $t_{do}(0)$، α (0)) و ($C_{eq}(1)$،$t_{do}(1)$ ،α (1)) بدست آمده‌اند. همچنین منحنی‌های تأخیر بر حسب بار نیز برای مدارها و طبقات پنج‌گانه، در شکل ۱۶ ضمیمه آمده است. تحلیل اولیهٔ این گراف‌ها می‌تواند حاوی نکات زیر باشد:

- کلیهٔ منحنی‌های تأخیر بر حسب بار مدارات مختلف، برای تمامی طبقات یا کاملاً خطی بوده و یا در نواحی محدودی توأم با اندکی انحنا مشاهده می‌گردد. بدین ترتیب شیب این خطوط مستقیماً از روی هر خط و یا با برازش بهترین خط (برای مواردی که توأم با انحنا می‌باشد) بدست می‌آید.
- خط تأخیر طبقهٔ اول که با تحریک پالس ورودی ایده‌آل بدست آمده، به جز در حالت 6TN(1) در سایر حالات معرف عملکرد بهتر نسبت به سایر طبقات که با پالس واقعی تحریک شده‌اند می‌باشد. نسبت این برتری قابل مشاهده و اندازه‌گیری است.
- در برخی از حالات مثل 6TN(0) مدار بسیار خوش رفتار بوده و خطوط تأخیر، بجز طبقهٔ اول کاملاً بر هم منطبق می‌باشند. این بدین معنی است که با افزایش طبقات قابلیت درایو (α) و تأخیر بدون بار (t_{do}) مدار ثابت می‌باشد.
- در برخی از حالات مثل 8T(0) با افزایش طبقات، قابلیت درایو (α) و تأخیر بدون بار (t_{do}) مدار افزایش یافته است.
- در برخی از حالات مثل 6TN(1) با افزایش طبقات، شیب خطوط ثابت بوده ولی تأخیر بدون بار آنها افزایش یافته و در برخی از حالت دیگر مثل 8TB(0) شیب خطوط با افزایش طبقات، افزایش یافته ولی تأخیر بدون بار آنها تقریباً ثابت است.
- در برخی از حالات مثل 8TBF(1) پارامترهای مدار با افزایش طبقات، تغییرات نامنظم داشته است . بدین معنی که با افزایش طبقات گاهی افزایش و گاهی کاهش یافته است.

۷- معادلات تأخیر بر حسب بار مدارات مختلف

با استفاده از نتایج شبیه‌سازی بخش قبل، معادلات تأخیر بر حسب بار، برای مدارات مختلف در دو حالت مجزا، با ورودی‌های "0" و "1" قابل محاسبه می‌باشد. با توجه به اینکه رفتار طبقهٔ اول گیت‌ها بدلیل داشتن پالس تحریک ایده‌آل، با سایر طبقات که دارای پالس تحریک واقعی بوده‌اند متفاوت است، آنها را صرفاً به صورت تحلیلی مورد بررسی و مقایسه قرار داده و در جریان محاسبات مربوط به معادلات تأخیر وارد نمی‌کنیم. لذا پارامترهای تأخیر (C_{eq} ،t_{do}،α) را در دو حالت مجزای ورودی‌ها، به صورت میانگین برای طبقات ۲ تا ۵ در نظر گرفته و براساس این مقادیر میانگین، معادلات تأخیر هر گیت را بدست می‌آوریم. لازم به ذکر است انتخاب شاخص میانگین، به منظور تأثیر دادن رفتار تمامی طبقات در معادلهٔ تأخیر گیت می‌باشد.

چنانچه ما بدترین حالت را به عنوان معادلهٔ تأخیر و رفتار گیت در نظر می‌گرفتیم، تأثیر سایر طبقات حذف می‌گردید. این رفتارها می‌تواند به بدترین حالت نزدیک و یا از آن بسیار دور باشند که این دو حالت برای یک گیت بسیار متفاوت بوده و لازم است بگونه‌ای در نتایج نهائی تأثیر یابد. معادلهٔ تأخیر بر حسب بار پیش از این بفرم $t_d(cl)= \alpha \times C_L + t_{do}$ معرفی گردیده بود. با جاگذاری مقادیر α وt_{do} در دو حالت ورودی صفر و یک، دو دسته معادله برای مدارهای مورد سنجش، مطابق با جدول ۶ بدست می‌آید. چنانچه میانگین اثر بار ورودی C_{eq} را در دو حالت مجزا (ورودی‌های صفر و یک) برای طبقات ۲ تا ۵ محاسبه نموده و در معادلهٔ تأخیر گیت قرار دهیم، تأخیر بدست آمده می‌تواند شاخص مناسبی جهت مقایسهٔ اولیهٔ رفتار زمانی گیت‌های مورد بررسی باشد.

این نتایج عددی به همراه معادلات تأخیر گیت‌ها به عنوان شاخص تأخیر ($t_d(C_L=C_{eq})$)، در جدول ۶ آمده است. (در کل گزارش واحدهای مربوط به قابلیت درایو (α)، اثر بار ورودی (C_{eq}) و تأخیر بدون بار (t_{do}) به ترتیب ps/fF (پیکو ثانیه بر فیمتوفاراد)، fF (فیمتو فاراد) و ps (پیکو ثانیه) می‌باشد).

جدول ۶- معادلهٔ تأخیر برای هفت مدار مورد سنجش در دو حالت ورودی صفر و یک، به همراه تأخیر آنها در شرایط اعمال اثر بار ورودی

حالات / نام مدار	In = " 0 "	In = " 1 "
6T	Td=16.9*CL+86.1	Td=11.76*CL+23.5
	Td(4.64fF)=164.51ps	Td(4.05fF)=71.12ps
6TN	Td=13.8*CL+58.2	Td=9.53*CL+40.9
	Td(1.79fF)=82.90ps	Td(4.64fF)=75.58ps
8T	Td=23.9*CL+87.7	Td=5.49*CL+13.3
	Td(5.26fF)=266.0ps	Td(4.64fF)=39.21ps
8TF	Td=15.7*CL+31.1	Td=6.96*CL+17.5
	Td(5.25fF)=113.52ps	Td(4.64fF)=48.95ps
8TB	Td=22.7*CL+24.5	Td=11.17*CL+20.6
	Td(3.63fF)=106.90ps	Td(4.64fF)=64.21ps
8TBF	Td=9.01*CL+30.4	Td=13.6*CL+37.2
	Td(6.52fF)=89.14ps	Td(4.64fF)=162.45ps
8TI	Td=11.9*CL+35.9	Td=12.37*CL+38.8
	Td(3.60fF)=78.92ps	Td(4.64fF)=77.27ps

با توجه به توضیحات قبل و نتایج جدول ۶ در نهایت از بین دو حالت موجود ورودی‌ها، حالتی را درنظر می‌گیریم که در آن رفتار زمانی کندتری رخ داده و آن را شاخص تأخیر گیت می‌نامیم.

۷-۱- رتبه‌بندی اولیهٔ مدارات براساس شاخص تأخیر

با انتخاب بدترین حالت به عنوان شاخص تأخیر گیت، رتبه‌بندی گیت‌ها از این نظر به صورت زیر خواهد بود.

جدول ۷- مقایسهٔ اولیهٔ مدارات از لحاظ شاخص تأخیر

رتبه	۱	۲	۳	۴	۵	۶	۷
مدار	8TI	6TN	8TB	8TF	8TBF	6T	8T
شاخص تأخیر	78.9	82.9	106.9	113.5	162.4	164.5	266
شاخص (نرمالیزه)	1	1.10	1.11	1.25	1.29	1.33	1.59

از نتایج جدول ۷ می‌توان دریافت، مدار 8TI می‌تواند به عنوان سریع‌ترین سلول یک ساختار مداری بزرگ، شامل طبقات متعدد، در مقایسه با سایرین عمل

نماید. پس از آن مدار 6TN با ۱۰٪ اختلاف نسبت به مدار اول، به عنوان مدار دوم قرار دارد. این درصد اختلاف برای مدارهای بعدی ۳۵٪ و ۴۳٪ برای مدارهای 8TB و 8TF بوده و نهایتاً مدار 8T که بیش از سه برابر نسبت به مدار اول کندتر عمل نموده است.

۷-۲- محاسبهٔ بازه تغییرات پارامترهای تأخیر

نتایج حاصله در جدول ۷ صرفاً از میانگین پارامترهای تأخیر بدست آمده و از دقت و قابلیت اطمینان معینی برخوردار است. چنانچه بخواهیم این دقت و قابلیت اطمینان را برای نتایج بدست آمده افزایش دهیم، لازم است پارامتر دیگری را نیز به موارد قبلی اضافه نمائیم. این پارامتر جدید بازه تغییرات پارامترهای تأخیر در طبقات مختلف می‌باشد. ($\Delta\alpha$ برای α، Δt_{do} برای t_{do} و ΔC_{eq} برای C_{eq}) بدین ترتیب می‌توان گفت هر چقدر بازه تغییرات یک پارامتر در طبقات مختلف کمتر باشد اصطلاحاً مدار خوش رفتارتر بوده و با اطمینان بیشتری می‌توان پیش‌بینی نمود پارامترهای مذکور برای طبقات بعدی نیز معادل یا مشابه با طبقات قبلی است. اما هرچقدر بازه تغییرات بیشتر باشد، احتمال آنکه نتایج حاصله با شدت بیشتری در طبقات بعدی دچار تغییر گردند وجود دارد. به منظور تحقق این امر و دخالت دادن بازه تغییرات در نتایج نهائی شاخص تأخیر و دستیابی به نتایج با ضریب اطمینان بیشتر، به ترتیب زیر عمل می نمائیم.

ابتدا با در نظر گرفتن شاخص‌های تأخیر جدول ۷ و انتخاب بدترین حالت از بین دو حالت موجود برای هر گیت، نتایج بدست آمدهٔ متناظر با آن حالت را از جدول ۵ ضمیمه درنظر می‌گیریم. سپس پارامترهای تأخیر مربوط به طبقهٔ اول را بدلیل حالت خاص ورودیشان حذف نموده و نتایج مربوط به چهار طبقهٔ باقیمانده را نرمالیزه می‌نمائیم. عمل نرمالیزه نمودن نتایج بدین ترتیب انجام می‌پذیرد که هر چهار عدد، به کوچک‌ترین آنها تقسیم گردیده و لذا بازه تغییرات به صورت درصد، نسبت به مقدار کمینه آنها بدست می‌آید. از بین نتایج نرمالیزهٔ بدست آمده، بزرگ‌ترین آنها معرف بیشترین بازه تغییرات آن پارامتر به صورت درصد می‌باشدکه ما آنرا ΔX می‌نامیم. (X هریک از پارامترهای تأخیر سه گانه می‌باشد).

۷-۳- معرفی معادلهٔ تأخیر نهائی

درگذشته معادلهٔ تأخیر بفرم $t_d(C_L) = \alpha \times C_L + t_{do}$ معرفی گردید و در آن پارامترهای α و t_{do} میانگین نتایج حاصله از طبقات ۲ تا ۵ بود. شاخص تأخیر با جاگذاری C_L با مقدار میانگین C_{eq} طبقات محاسبه گردید و مدارات براساس این شاخص در جدول ۷ رتبه‌بندی شدند. اینک با داشتن بازه تغییرات هر پارامتر (به صورت درصد) می‌توان معادلهٔ تأخیر را براساس مقادیر میانگین قبلی و بازه تغییرات به صورت زیر کامل نمود.

$$t_d = (\alpha \times \Delta\alpha) \times (C_L \times \Delta C_L) + (t_{do} \times \Delta t_{do}) \qquad \text{معادلهٔ (۲)}$$

که در آن $\Delta\alpha$ نرمالیزهٔ بازه تغییرات شیب تأخیر برحسب بار (α)، ΔC_L نرمالیزهٔ بازه تغییرات اثر بار ورودی و Δt_{do} نرمالیزهٔ بازه تغییرات تأخیر بدون بار (t_{do}) گیت می‌باشند. در این رابطه بجز مقادیر متوسط پارامترها، بازه تغییرات هر پارامتر نیز به صورت نرمالیزه دخالت داده شده، لذا جهت مقایسهٔ مدارها از لحاظ رفتار زمانی، معادلهٔ (۲) معیار مطمئن‌تری نسبت به معالهٔ (۱) می‌باشد.

با استفاده از معادلهٔ تأخیر نهائی (معادلهٔ ۲) و مقادیر میانگین و نرمالیزهٔ بازه تغییرات پارامترهای تأخیرکه از نتایج ارائه شده در جدول ۵ ضمیمه بدست آمده است، شاخص نهائی تأخیر در جدول ۸ بدست آمده و در جدول ۹ امکان رتبه‌بندی نهائی مدارها فراهم گردیده است.

از نتایج بدست آمده در جدول (۸) و (۹) می‌توان دریافت:

- بهترین سلول از لحاظ رفتار زمانی در یک ساختار مداری شامل چند طبقه، مدار 6TN می‌باشد.
- مدار دوم 8TI بوده که فقط ۱٪ اختلاف نسبت به مدار اول داشته و از جهت رفتار زمانی بسیار مشابه با مدار اول می‌باشد. اما بدلیل استفاده از معکوس‌کننده‌های خروجی و وجود جریان اتصال کوتاه آنها، مدار 6TN از لحاظ توان مصرفی، بسیار مناسبتر از مدار 8TI می‌باشد.
- درصد اختلاف برای مدارهای بعدی باشدت بیشتری رو به افزایش گذاشته و این افزایش از مدار 8TB، با ۸۸٪ شروع شده تا نهایتاً برای مدار 8T که معرف عملکردی بیش از ۱۰ برابر کندتر نسبت به مدار 6TN می‌باشد.

جدول ۸- بدست آوردن شاخص تأخیر نهائی، از پارامترهای تأخیر و بازه تغییرات با استفاده از معادلهٔ (۲)

مدار	$t_d = [\alpha * \Delta\alpha] * [C_L * \Delta C_L] + [t_{do} * \Delta t_{do}]$	شاخص تأخیر
6TN	[13.80*1.04] * [1.79*1.12] + [58.2*1.06]	88.032
8TI	[11.95*1.07] * [3.60*1.09] + [35.9*1.09]	89.305
8TB	[22.70*1.35] * [3.63*1.12] + [24.5*1.69]	165.995
8TBF	[09.01*1.56] * [6.52*1.47] + [30.4*1.78]	188.826
8TF	[15.80*1.54] * [5.25*1.35] + [31.1*1.30]	211.791
6T	[16.90*1.23] * [4.64*1.07] + [86.1*2.06]	280.569
8T	[33.90*2.10] * [5.26*1.28] + [87.7*5.06]	923.070

جدول ۹- نمایش ترتیب مدارات بر حسب شاخص تأخیر نهائی

رتبه	1	2	3	4	5	6	7
مدار	6TN	8TI	8TB	8TBF	8TF	6T	8T
شاخص نهائی تأخیر	88.0	89.3	165.9	188.8	211.7	280.5	923.0
شاخص (نرمالیزه)	1	1.01	1.88	2.14	2.40	3.18	10.48

- اینجا به خوبی می‌توان اثر نامطلوب سؤینگ ناقص خروجی‌ها را در کاهش سرعت مدار مشاهده نمود. لازم به ذکر است در شبیه‌سازی‌ها، مدار 8T در شرایط عملکرد منفرد، صرفنظر از سؤینگ ناقص خروجی‌ها، از سرعت خوبی نسبت به سایرمدارها برخوردار بوده است.
- مدار 8TI بدلیل استفاده از معکوس‌کننده‌های خروجی، دارای قابلیت درایو خوبی بوده و لذا عملکرد آنرا از نظر رفتار زمانی در ساختارهای مداری شامل چند طبقه بسیار مناسب نموده است. اما جریان اتصال کوتاه معکوس‌کننده‌ها باعث افزایش توان مصرفی آن می‌باشد.
- مدار 6TN بدلیل داشتن قابلیت درایو نزدیک به بیشینه توأم با بازه تغییرات کمینه، اثر بار کمینه توأم با بازه تغییرات نزدیک به کمینه، تأخیر بدون بار متوسط توأم با بازه تغییرات کمینه، مناسب‌ترین رفتار زمانی را در بین مدارهای مورد مقایسه داشته است.

- مدار 8TBF علی‌رغم داشتن بیشینه قابلیت درایو و تأخیر بدون بار نسبتاً خوب، بدلیل اثر بار و بازه تغییرات بیشینه، همچنین بازه تغییرات بیشینه برای قابلیت درایو، بیش از دو برابر عملکردی کندتر، نسبت به مدار اول خواهد داشت.
- در مدار 8TI هر سه پارامتر تأخیر و بازه تغییرات آنها نزدیک به حالت بهینه بوده و با اختلاف بسیار اندک نسبت به مدار اول می‌باشد.
- در مدار 8T، قابلیت درایو و تأخیر بدون بار و همچنین بازه تغییرات هر دو، بدترین حالت بین مدارات بوده و اثر بار ورودی و بازه تغییرات آن نیز نزدیک به بدترین حالت می‌باشد.

۴-۷- مقایسهٔ مدارها از لحاظ تعداد ترانزیستور

در جدول ۱۰ تعداد ترانزیستورهای هر مدار آمده است. می‌توان مشاهده نمود که مدار 6TN که از لحاظ رفتار زمانی بهینه شناخته شد، از لحاظ تعداد ترانزیستور نیز بهینه می‌باشد.

جدول ۱۰- مقایسهٔ مدارهای مورد سنجش از نظر تعداد ترانزیستور

مدار	6TN	6T	8T	8TF	8TB	8TI	8TBF
تعداد ترانزیستور	6	6	8	10	12	12	14

البته ذکر این نکته که یکی از ورودی‌های مدار 6TN به صورت مکمل می‌باشد، بیان‌گر استفاده از یک معکوس‌کننده شامل دو ترانزیستور می‌باشد، اما با توجه به اینکه این معکوس‌کننده اضافه فقط در طبقهٔ اول نیاز خواهد بود و در طبقات بعدی بدلیل وجود خروجی‌های مکمل گیت حذف خواهد گردید، تعداد ترانزیستورهای مورد لزوم این مدار همان ۶ عدد باقی خواهد ماند. همچنین حذف این معکوس‌کننده اضافی در طبقات بعدی باعث حذف توان اتصال کوتاه و زمان تأخیر مربوط به آن گردیده و در نتیجه باعث بهبود مشخصهٔ PDP گیت به میزان قابل توجهی خواهد شد. نکتهٔ دیگر در خصوص مقایسهٔ مدارهای 6T و 6TN اینکه هردو مدار شامل۶ ترانزیستور بوده و هر دو از لحاظ تقارن ساختاری یکسان می‌باشند، اما مدار 6T دارای ۳ ترانزیستور nmos و ۳ ترانزیستور pmos بوده ولی مدار 6TN دارای ۴ ترانزیستور nmos و دو ترانزیستور pmos می‌باشد. بدلیل اینکه ترانزیستورهای pmos، نسبت به نوع nmos متناظرخود مساحت اشغالی بزرگ‌تری دارند، این اختلاف می‌تواند به کوچک‌تر شدن مساحت مؤثر مدار 6TN نسبت به مدار 6T منجرگردد.

۵- نتیجه‌گیری

در گزارش‌های متعددی استفاده از مدارات XOR/XNOR بالانس، در مدارات FAها، کمپرسورها، پاریتی چکرها و مقایسه‌گرها، بدلیل داشتن خروجی‌های مکمل همزمان، باعث کاهش توان مصرفی، تعداد ترانزیستور و یا مساحت مؤثر و بهبود سایر مشخصه‌های مدارات VLSI گشته است. این مدارات درگزارش‌های بسیاری از جمله [16,1,7,4]، منجر به ارائهٔ طرح‌های جدیدی در قالب منطق طراحی مختلط شده است. اما در هر یک از این گزارش‌ها، روند منظمی طی نشده و طراح با اتکا به خلاقیت فردی خود به طرح جدیدی دست یافته است. در این مقاله، با توجه به بررسی دقیق برخی از بهترین طرح‌های مذکور، به الگوریتم جدیدی رسیده‌ایم که منجر به معرفی دو طرح جدید، برای مدار XOR/XNOR بالانس گشته است. در این روش با استفاده از دو ترانزیستور nmos و دو ترانزیستور pmos به یک سلول پایه در طراحی دست یافته‌ایم که می‌تواند دو خروجی مکمل داشته باشد. این خروجی‌ها در برخی از حالات با سؤینگ ناقص و یا حالت امپدانس بی‌نهایت همراه بوده و با استفاده از سه تکنیک، بوت استراپ[11]، شبکهٔ بالابر[12] و پایین‌بر[13] و شبکهٔ پسخورد، به چندین مدار XOR/XNOR با خروجی‌های صحیح همزمان دست یافته‌ایم. در گزارش‌های زیادی از جمله [1,12,13,14] اعلام گردیده که نتایج حاصله از عملکرد منفرد سلول‌ها، نمی‌تواند بیان‌گر رفتار آنها در مدارات چند طبقه باشد. زیرا شرایط تست سلول‌ها به صورت منفرد، از لحاظ قابلیت درایو طبقهٔ قبل، اثر بار ورودی، قابلیت درایو خروجی و اثر بار خروجی در شرایط بخصوصی می‌باشد. این شرایط در مدارات چند طبقه با ساختارهای متفاوت، تغییر نموده و لذا سلول‌ها در این بستر، عملکرد متفاوتی خواهند داشت. در اینصورت لازم خواهد بود، مقایسهٔ رفتار زمانی مدارات، با در نظر گرفتن تمامی پارامترهای مطرح در تأخیر سلول انجام پذیرد تا نتایج حاصله، برای هر مدار با هر ساختاری قابل استفاده باشد. در این مقاله پارامترهای مطرح در تأخیر یک سلول، قابلیت درایو خروجی، اثر بار ورودی و تأخیر بدون بار معرفی گردید و پس از یافتن این سه پارامتر، برای طبقات متعدد هرسلول، معادلهٔ نهائی تأخیر، ازمیانگین پارامترها با ترتیب اثر دادن بازه تغییرات هر پارامتر، جهت مقایسهٔ مدارات به صورت زیر معرفی گردید:

$$t_d = (\alpha \times \Delta\alpha) \times (C_L \times \Delta C_L) + (t_{do} \times \Delta t_{do})$$

که در آن α معرف قابلیت درایو سلول و $\Delta\alpha$ بازه تغییرات آن برای طبقات متعدد، C_L اثر بار ورودی که به مدار قبل اعمال می‌گردد و ΔC_L بازه تغییرات آن برای طبقات متعدد، t_{do} تأخیر بدون بار سلول و Δt_{do} بازه تغییرات آن برای طبقات متعدد می‌باشد. با جاگذاری نتایج شبیه‌سازی در معادلهٔ مذکور، بهترین رفتار زمانی در مدارهای چند طبقه، مربوط است به یکی ازطرح‌های جدید با نام 6TN. این مدار که سلول پایهٔ آن شامل چهار ترانزیستور nmos بوده و دارای دو ترانزیستور pmos به عنوان شبکهٔ پسخورد می‌باشد، از لحاظ تعداد ترانزیستور نیز نسبت به سایر طرح‌ها بهینه بوده است. ترتیب سایر مدارات نیز از لحاظ رفتار زمانی و تعداد ترانزیستور تعیین گردید. نزدیک ترین مدار از لحاظ رفتار زمانی، مدار 8TI بدست آمد که دارای ۱۲ ترانزیستور بوده و بدلیل داشتن دو معکوس‌کننده CMOS در خروجی، بدلیل جریان اتصال کوتاه آنها دارای توان مصرفی قابل ملاحظه‌ای می‌باشد.

۶- مراجع

[1] Chip – Hong Chang, Jiangmin Gu, and Mingyan Zhang, "A Review of 0.18-µm Full Adder Performances for Tree Structured Arithmetic Circuits," *IEEE Trans. Very Large Scale Integrated (VLSI) Sys.*, Vol. 13, No. 6, pp. 686-695, 2005.

[2] M. Alioto, and G. Palumbo, "Analysis and comparison on full adder block in submicron technology," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 10, pp. 806 - 823, 2002.

[3] O. Kavehie, A. P. Mirbaha, N. adkhahi, and K. Navi, "Novel Architecture for IEEE-754 Standard," *IEEE International Conference on Information & Communication Technologies: From Theory to Applications (ICTTA'06)*, 2006.

[4] M. Sayed, and W. Badawy, "Performance analysis of single bit full adder cells using 0.18,0.25 and 0.35µm CMOS Technologies," *35th IEEE Int. Symp. Circuits and systems*, Vol. 3, pp. 26-29, 2002.

[5] G. Michael Howard, P. Mokrian, M. Ahmadi, and W. C. Miller, "Power and Delay Analysis of 4:2 Compressor Cells," *ISCAS'05. IEEE International Symposium on Circuits and Systems*, Vol. 4, pp. 3559 – 3562, 2005.

[6] K. Prasad, and k. k. Parhi, "Low-Power 4-2 and 5-2 compressors," *35th Asilomar Conf. on Signals, Systems and Computers*, Vol. 1, pp. 129-133, 2001.

[7] S. Goel, M. A. Elgamel, M. A. Bayoumi, and y. Hanafy, "Design Methodologies for High – Performance Noise-Tolerant XOR-XNOR Circuits," *IEEE Trans. on Circuits and Systems- I*, Vol. 53, No. 4, pp. 867-878, 2006.

[8] R. Zimmermann, and W. Fichtner, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 7, pp. 1079-1090, 1997.

[9] D. Radhakrishnan, S. R. Whitaker, and G. K. Maki, "Formal Design Procedures for Pass-Transistor Switching Circuits," *IEEE Journal of Solid State Circuits*, pp. 531-536, 1985.

[10] C. Pedron, and A. Stauffer, "Analysis and Synthesis of Combinational Pass Transistor Switching Circuits," *IEEE Trans. On Computer-Aided Design Integrated Circuit Systems*, Vol. 7 (7), pp. 775-786, 1988.

[11] M. Vesterbacka, "A 14- Transistor CMOS Full Adder with Full Voltage-Swing nodes," *IEEE Workshop on Signal Processing Systems*, pp. 713-722, 1999.

[12] D. Radhakrishnan, "Low-Voltage Low-Power CMOS Full Adder," *IEE Circuits, Devices and Systems*, Vol. 148, No. 1, pp. 19-24, 2001.

[13] N. Zhuang, and H. Hu, "A new design of the CMOS Full Adder," *IEEE J. Solid-State Circuits*, Vol. 27, No. 5, pp. 840-844, 1992.

[14] H. T. Bui, y. Wang, and Y. Jiang, "Design and analysis of Low-Power 10-transistor Full Adders using novel XOR-XNOR Gates," *IEEE Trans. Circuits Sys. II, Analog Digit. Signal Processing*, Vol. 49, No. 1, pp. 25-30, 2002.

[15] A. Shams, T. Darwish, and M. Bayoumi, "Performance analysis of low-power 1-bit CMOS full adder cells," *IEEE Trans.Very Large Scale Integr.(VLSI) Sys.*, Vol. 10, No. 1, pp. 20-29, 2002.

[16] M. Aguirre H. , and M. Linares, "A Low-Power Bootstrapped CMOS Full Adder," *2nd Int. Conf. on Electrical and Electronics Engineering (ICEEE) and XI Conf. on Electrical Engineering (CIE 2005)*, pp. 243-246, 2005.

[17] S. Goel, S. Gollamudi, A. Kumar, and M. Bayoumi, "On The Design of Low-Energy Hybrid CMOS 1-Bit Full Adder Cells," *47th IEEE Midwest Symp. on Circuits and Systems*, Vol. 2, pp. 209-212, 2004.

[18] Douglas A. Pucknell, and K. Eshraghian, *Basic VLSI Design*, 3rd edition, Prentice Hall, 1994.

[19] Neil H. E. Weste, and D. Harris, *CMOS VLSI Design" A Circuits and Systems Perspective*, 3rd edition, PEARSON Addision Wesley Inc., 2005.

تورج نیکوبین دارای مدارک کارشناسی و کارشناسی ارشد مهندسی برق – الکترونیک از دانشگاه صنعتی خواجه نصیرالدین طوسی به ترتیب سال‌های ۱۳۷۰ و ۱۳۷۳. دانشجوی دکتری مهندسی کامپیوتر- با گرایش معماری کامپیوتر در دانشگاه شهید بهشتی از سال ۱۳۸۲. عضو هیئت علمی دانشکدهٔ صدا و سیما از سال ۱۳۷۳. عضو انستیتو مهندسین الکترونیک، اطلاعات و مخابرات (IEICE) ژاپن. زمینه‌های علاقه‌مندی ایشان شامل طراحی و بهینه‌سازی مدارات پرتراکم کم مصرف با کارایی بالا ، مدارات و سیستم‌های کم‌مصرف حسابی و معماری کامپیوتر می‌باشد.

آدرس پست‌الکترونیکی ایشان عبارت است از:

t_nikoubin@sbu.ac.ir

کیوان ناوی استادیار گروه مهندسی کامپیوتر دانشکدهٔ مهندسی برق و کامپیوتر دانشگاه شهید بهشتی می‌باشد. ایشان مدرک کارشناسی سخت‌افزار کامپیوتر خود را از دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی در سال ۱۳۶۶ اخذ نمود. مدرک کارشناسی ارشد سخت‌افزار کامپیوتر خود را در سال ۱۳۶۹ از دانشکده مهندسی برق دانشگاه صنعتی شریف دریافت نمودند. ایشان مدرک دکتری خود را در رشته معماری کامپیوتر از دانشگاه پاریس XI (LRI) در سال ۱۹۹۵ اخذ نمود. زمینه‌های تحقیقاتی مورد علاقه او حساب کامپیوتر، منطق چند مقداری، طراحی مدارات کم‌مصرف و سرعت بالا و طراحی مدارات مد جریان می‌باشد.

آدرس پست‌الکترونیکی ایشان عبارت است از:

navi@sbu.ac.ir

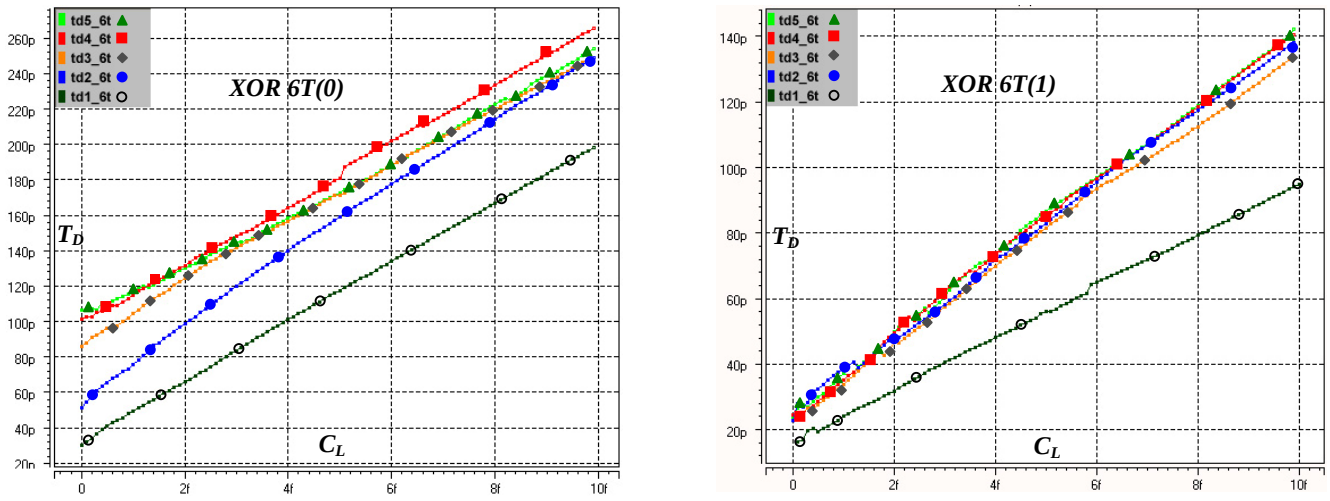
امید کاوه‌ای دارای مدارک کارشناسی مهندسی کامپیوتر- سخت‌افزار کامپیوتر از دانشگاه آزاد اسلامی واحد اراک در سال ۱۳۸۲ کارشناسی ارشد مهندسی کامپیوتر - سخت‌افزار کامپیوتر در سال ۱۳۸۴ و دانشجوی دکترای کامپیوتر - معماری کامپیوتر در دانشگاه شهید بهشتی از سال ۱۳۸۴ می‌باشد. زمینه‌های تحقیقاتی مورد علاقهٔ او طراحی مدارات پرتراکم کم‌مصرف با کارایی بالا و حساب کامپیوتر می‌باشد. ایشان هم‌اکنون مشغول گذراندن فرصت مطالعاتی در دانشگاه Adelaide استرالیا می‌باشند.

آدرس پست‌الکترونیکی ایشان عبارت است از:

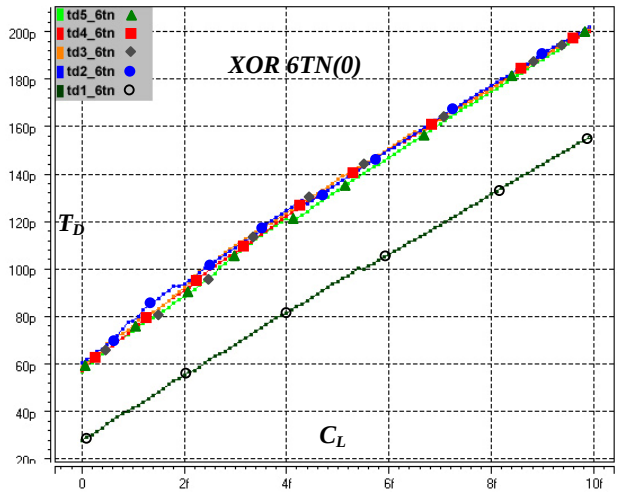
kavehie@eleceng.adelaide.edu.au

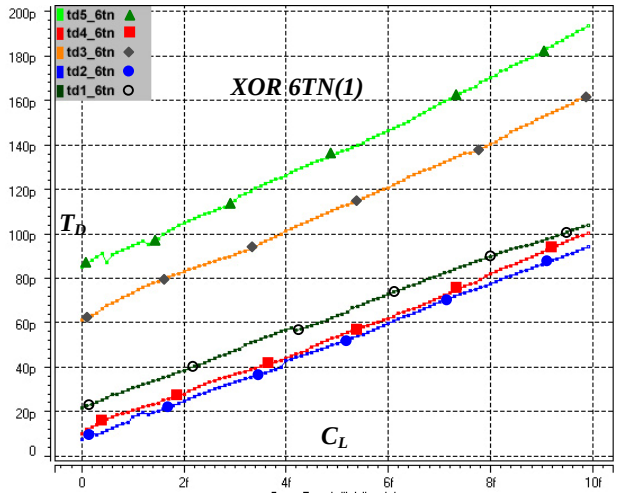
جدول ۵- پارامترهای تأخیر پنج طبقه برای گیت‌های مختلف

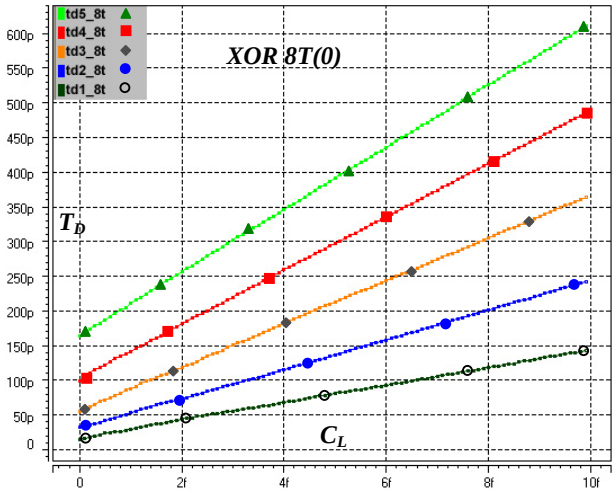
In ="1"			In ="0"			طبقه	مدار
C_{eq}	t_{do}	α	C_{eq}	t_{do}	α		
4.20	9.68	3.98	4.10	14.9	12.26	1	8T
5.12	13.4	5.67	4.61	32.4	21.33	2	
4.39	13.4	5.47	5.03	55.7	30.89	3	
4.97	13.1	5.43	5.46	98.8	38.63	4	
4.42	13.4	5.42	5.94	164	44.88	5	
3.38	15.6	7.86	4.36	30.3	16.80	1	6T
4.10	23.0	11.52	4.46	51.3	19.17	2	
3.91	22.9	11.84	4.65	86.2	16.03	3	
4.08	24.5	11.88	4.65	101	16.94	4	
4.11	23.7	11.83	4.81	106	15.49	5	
0.31	16.5	8.44	3.47	17.9	16.91	1	8TB
4.14	20.6	11.56	3.41	19.4	19.31	2	
4.00	21.2	10.32	3.62	20.4	21.58	3	
3.55	20.6	11.96	3.70	25.8	23.88	4	
3.91	20.2	10.85	3.82	32.7	26.09	5	
3.84	12.1	5.30	5.76	16.2	10.25	1	8TF
4.32	17.6	7.04	5.84	26.3	13.04	2	
4.61	17.5	6.82	5.84	34.1	13.16	3	
4.55	17.0	7.09	5.01	34.2	16.44	4	
4.63	18.0	6.89	4.31	29.9	20.21	5	
2.86	35.1	10.80	3.44	23.3	10.95	1	8TI
3.18	38.8	12.17	3.53	36.6	12.35	2	
2.79	39.8	12.47	3.73	34.7	12.03	3	
3.28	37.9	12.58	3.42	37.9	11.45	4	
3.21	38.9	12.29	3.73	34.5	12.00	5	
10.9	19.3	10.28	4.97	20.6	7.50	1	8TBF
10.6	26.7	11.00	6.67	32.8	9.71	2	
10.3	32.4	11.76	6.26	26.2	8.50	3	
8.76	42.0	14.42	6.98	35.0	9.39	4	
7.21	47.7	17.25	6.20	27.6	8.44	5	
2.41	21.8	8.46	1.77	27.9	12.90	1	6TN
3.98	7.60	8.83	1.69	60.4	13.67	2	
3.28	61.0	9.89	1.78	58.7	13.53	3	
3.85	9.92	9.03	1.79	57.2	13.80	4	
3.45	85.1	10.4	1.90	56.7	14.20	5	

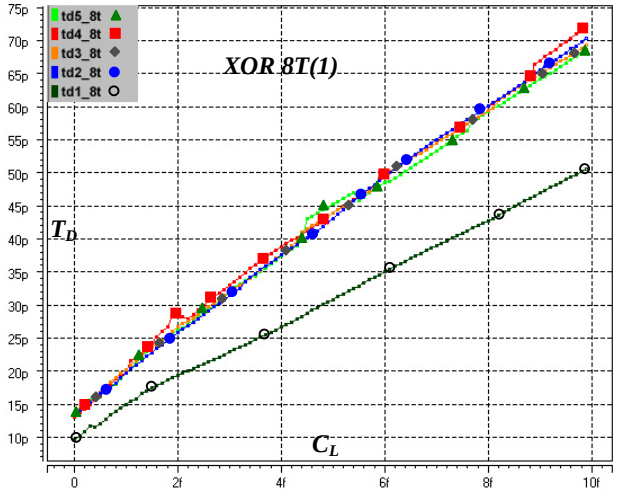


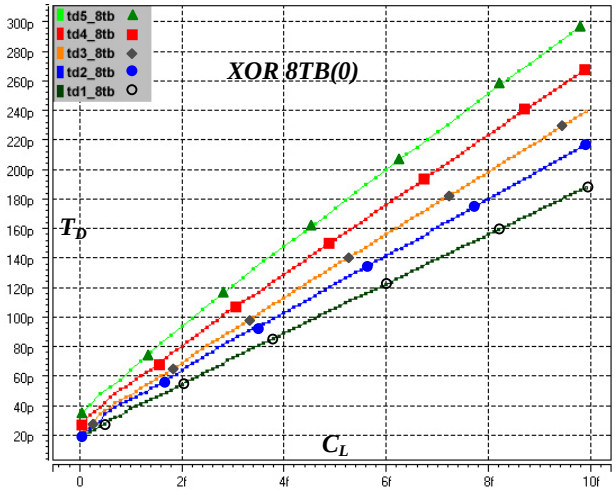
شکل ۱۶- منحنی‌های تأخیر بر حسب بار مدارهای مختلف، در شرایط ورودی "۰" و "۱"، برای طبقات یک تا پنج

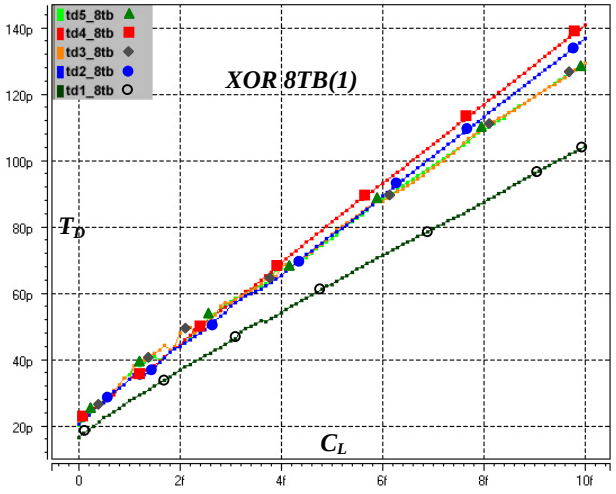




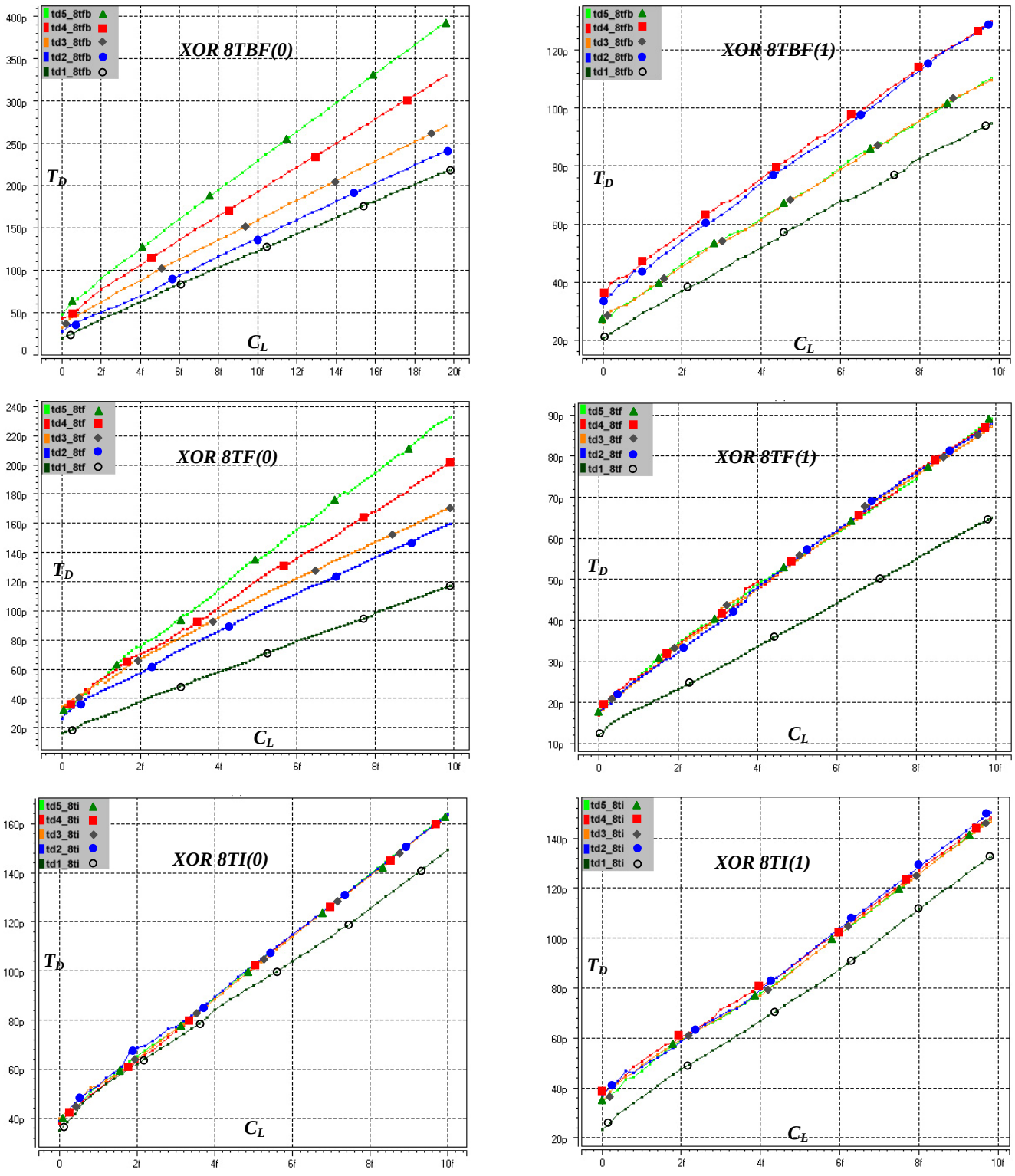








ادامه شکل ۱۶- منحنی‌های تأخیر بر حسب بار مدارهای مختلف، در شرایط ورودی "۰" و "۱"، برای طبقات یک تا پنج



ادامه شکل ۱۶- منحنی‌های تأخیر بر حسب بار مدارهای مختلف، در شرایط ورودی "۰" و "۱"، برای طبقات یک تا پنج

[1] Full Adder
[2] Glitchs
[3] (Power Delay Product) Min
[4] Pass-Transistor
[5] Transmition-Gate
[6] Interconections
[7] Pull-Up
[8] Pull-Down
[9] Boot-Strappe
[10] Boot
[11] Bootstrapped
[12] Pull-Up
[13] Pull-Down