علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۶، شماره ۱ (الف)، ۱۳۸۷
صفحات ۴۴-۵۵
مقاله کوتاه

یک سلول پنج ترانزیستوری جدید SRAM برای کاربردهای با سرعت زیاد و تراکم بالا

آرش عزیزی مزرعه[۱] محمدتقی منظوری[۲] محمد نوراللهی رومنی

[۱]دانشگاه آزاد اسلامی واحد سیرجان، سیرجان، ایران
[۲]دانشکده مهندسی کامپیوتر، دانشگاه صنعتی شریف، تهران، ایران

چکیده

در این مقاله به منظور بهبود سرعت و تراکم SRAMها، یک سلول پنج ترانزیستوری جدید CMOS ارائه شده است. از این سلول جدید می‌توان در تولید SRAMها با تراکم بالا و سرعت زیاد استفاده کرد. سلول جدید از یک bit-line در طول عملیات خواندن و نوشتن استفاده می‌کند و داده خود را با استفاده از فیدبک مثبت و جریان نشتی ترانزیستور ها بدون استفاده از سیکل تازه‌سازی نگهداری می‌کند. در قوانین طراحی Layout یکسان سلول جدید ۱۸ درصد مساحت کمتری نسبت به سلول شش ترانزیستوری پایه اشغال می‌کند و در شبیه سازی‌های انجام شده توسط HSPICE ۲۰۰۸ در تکنولوژی ۰/۲۵µm سرعت سلول جدید ۲۷ درصد از سلول شش ترانزیستوری پایه بیشتر است. همچنین نتایج تحلیلی به دست آمده در این مقاله دلالت بر افزایش سرعت سلول جدید نسبت به سلول شش ترانزیستوری پایه دارند.

کلمات کلیدی: فیدبک مثبت، جریان سلول، حاشیه نویز ایستای خواندن، تأخیر نوشتن، تأخیر خواندن، آرایهٔ سلول‌ها.

۱- مقدمه

با پیشرفت تکنولوژی و افزایش سرعت ریزپردازنده‌ها تقاضای بسیار زیادی برای طراحی حافظه‌های ایستا با دستیابی تصادفی (SRAM) با سرعت زیاد و تراکم بالا به وجود آمده است، زیرا که SRAMها به عنوان حافظه نهان ریزپردازنده‌ها مورد استفاده قرار می‌گیرند بطوری که در ریزپردازنده‌های RISC قسمت زیادی از تراشه توسط حافظه نهان اشغال شده و این حافظه نهان توسط SRAM ساخته می‌شود [۱، ۲، ۳]. هسته اصلی یک SRAM آرایه‌ای از سلول‌ها است که به منظور ذخیره‌سازی اطلاعات مورد استفاده قرار می‌گیرد، بنابراین سرعت خواندن و نوشتن یک SRAM توسط تأخیر خواندن داده از سلول‌ها و تأخیر نوشتن داده در سلول محدود می‌شود. به علاوه قسمت بسیار زیادی از مساحت یک SRAM به آرایه سلول‌ها اختصاص می یابد و در نتیجه مساحت اشغال شده توسط یک سلول عامل تعیین کننده در طراحی یک SRAM با تراکم بالا است.

به طور معمول در طراحی یک SRAM از سلول‌های شش ترانزیستوری پایه (سلول پایه) استفاده می‌شود. اما در این نوع از سلول‌ها سرعت سلول و حاشیه نویز ایستا در هنگام انجام عمل خواندن (حاشیه نویز ایستای خواندن) دارای یک رابطه معکوس با یکدیگر هستند [۴، ۵]. بنابراین افزایش یکی از این دو مشخصه باعث کاهش دیگری می‌شود و نمی توان آنها را به صورت جداگانه برای سلول شش ترانزیستوری پایه تعیین کرد. به علاوه برای افزایش سرعت سلول پایه اندازه ترانزیستورها باید افزایش یابند و این باعث ازدیاد مساحت اشغال شده توسط سلول می‌شود و در نتیجه دستیابی به یک SRAM با سرعت و تراکم بالا را مشکل می‌کند. استراتژی کلی که برای رفع مشکل وابستگی معکوس سرعت سلول و حاشیه نویز ایستای خواندن در سلول شش ترانزیستوری پایه وجود دارد این است

که عناصری که داده را نگهداری می‌کند از عناصری که داده را می‌خوانند جدا کنیم. تا کنون دو سلول بر مبنای این استراتژی گزارش شده است [۵، ۶]. یکی از این سلول ها از ۸ ترانزیستور و دیگری از ۷ ترانزیستور تشکیل شده است. اگر چه این دو سلول توانسته اند به طور مؤثری حاشیه نویز ایستای خواندن و سرعت سلول را از هم جدا کنند، اما هر دو این سلول سربار مساحت زیادی را نسبت به سلول شش ترانزیستوری پایه به دنبال دارند، به طوری که در قوانین طراحی Layout یکسان مساحت اشغال شده توسط سلول ۸ ترانزیستوری۳۰ درصد و سلول ۷ ترانزیستوری ۱۳ درصد از سلول پایه بیشتر است [۵].

به منظور رفع مشکل سلول پایه و جداسازی حاشیه نویز ایستای خواندن و سرعت سلول بدون سربار مساحت و سرعت در این مقاله سلول جدیدی برای SRAM ارائه شده است که داده خود را با استفاده از فیدبک مثبت و جریان نشتی ترانزیستور ها، بدون استفاده از سیکل تازه سازی نگهداری می‌کند. در قوانین طراحی Layout یکسان سلول جدید ۱۸ درصد مساحت کمتری نسبت به سلول شش ترانزیستوری پایه اشغال می کند و سرعت آن ۲۷ در صد از سلول شش ترانزیستوری پایه بیشتر است. در ادامه این مقاله ابتدا در بخش ۲ حاشیه نویز ایستای خواندن و جریان سلول که دو شاخص بسیار مهم سلول های SRAM هستند توضیح داده می شوند. سپس در بخش ۳ ساختار سلول جدید ارائه می‌گردد. همچنین در بخش ۴ سرعت سلول جدید وسلول پایه از دیدگاه های تحلیلی و شبیه سازی مورد بررسی قرار می گیرد. در ادامه در بخش ۵ جریان نشتی سلول جدید و سلول پایه از طریق شبیه سازی مورد بررسی و مقایسه قرار می گیرد و یک روش موثر برای کاهش جریان نشتی سلول جدید ارائه می شود. سپس در بخش ۶ بر مبنای سلول جدید، یک معماری برای SRAM ارائه گردیده و سرانجام در بخش ۷ یک نتیجه گیری کلی از نتایج به دست آمده در این مقاله آورده می شود.

۲- حاشیه نویز ایستای خواندن و جریان سلول

حاشیه نویز ایستا در زمان انجام عمل خواندن(حاشیه نویز ایستای خواندن) و جریان سلول دو شاخص بسیار مهم سلول SRAM هستند. حاشیه نویز ایستای خواندن مشخص کننده پایداری داده ذخیره شده در سلول در هنگام انجام عملیات خواندن است و جریان سلول برابر با مقدار جریان گذرنده از ترانزیستورهای دستیابی سلول در زمان انجام عملیات خواندن و نوشتن است [۵]. هر چه این جریان بیشتر باشد سرعت خواندن و نوشتن سلول افزایش می یابد. جریان سلول در شکل ۱ نشان داده شده است. بطور کلی هر چه حاشیه نویز ایستای خواندن یک سلول SRAM افزایش پیدا کند، داده ذخیره شده در سلول از پایداری بیشتری بر خوردار است و احتمال خراب شدن داده ذخیره شده در سلول کمتر خواهد بود. اما اگر یک سلول SRAM از حاشیه نویز ایستای خواندن کمی برخوردار باشد ممکن است داده سلول، در زمان انجام عملیات خواندن عوض شود. شکل ۲ شکل موج شبیه سازی شده دو سلول شش ترانزیستوری پایه SRAM با حاشیه نویز ایستای خواندن کم و زیاد را نمایش می دهد. همانطور که از شکل ۲ مشخص است داده سلولی که دارای حاشیه نویز ایستای کمی است در زمان انجام عملیات خواندن عوض شده است. بنابراین در طراحی یک سلول SRAM باید سعی شود که حاشیه نویز ایستای خواندن سلول زیاد باشد تا داده آن در زمان انجام عمل خواندن عوض نشود. جریان سلول مشخص کننده سرعت تغییرات ولتاژ روی bit-line و گره های ST و STB در زمان انجام عمل خواندن و نوشتن است. از آنجایی که در یک SRAM تعداد زیادی سلول به bit-line وصل می‌شود، بار خازنی این خط در SRAM زیاد است. هر چه جریان سلول SRAM بیشتر با شد سرعت تغییرات ولتاژ روی bit-line بیشتر می‌شود و در نتیجه تأخیر خواندن کمتر می‌شود. بنابراین برای دسترسی به سرعت خواندن بالا جریان سلول باید افزایش پیدا کند. به علاوه هر چه جریان سلول افزایش یابد سرعت نوشتن داده در سلول نیز افزایش می‌یابد زیرا با افزایش جریان سلول سرعت تغییر ولتاژ روی گره‌های ST و STB سلول نیز افزایش می یابد و در نتیجه داده با سرعت بیشتری در داخل سلول نوشته می شود.

برای بهبود حاشیه نویز ایستای خواندن، در سلول شش ترانزیستوری پایه دو روش وجود دارد. در روش اول ولتاژ آستانه ترانزیستورهای NMOS افزایش می‌یابد [۷]. با افزایش ولتاژ آستانه ترانزیستورهای NMOS دستیابی، در زمان خواندن گره‌ای که در ولتاژ پایین قرار دارد تحت استرس کمتری قرار می‌گیرد و ولتاژ آن زیاد افزایش پیدا نمی‌کند و به این ترتیب داده سلول عوض نمی‌شود. روش دوم برای بهبود حاشیه نویز ایستای خواندن کاهش ولتاژ word-line از سطح V_{DD} در زمان انجام عمل خواندن است. این کار معادل افزایش ولتاژ آستانه ترانزیستورهای NMOS دستیابی است و باعث می شود که گره‌ای که در ولتاژ پایین است ولتاژ آن زیاد افزایش پیدا نکند [۸]. در حقیقت هر دو روش بالا سعی بر کاهش قدرت جریان‌دهی ترانزیستورهای NMOS دستیابی دارند تا ولتاژ گره‌ای که در سطح پایین است زیاد افزایش پیدا نکند، بنابراین هر دو روش بالا باعث کاهش جریان سلول می شوند [۵].

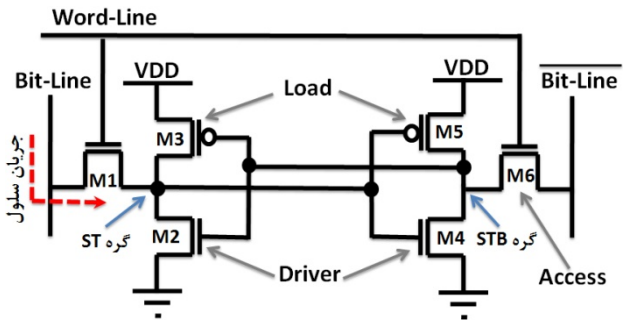
به طور کلی در سلول شش ترانزیستوری پایه جریان سلول و حاشیه نویز ایستای خواندن به شدت به قدرت جریان‌دهی ترانزیستورهای دستیابی سلول بستگی دارند [۷،۵]. با افزایش قدرت جریان‌دهی ترانزیستورهای دستیابی، جریان سلول افزایش پیدا می‌کند ولی حاشیه نویز ایستای خواندن کاهش پیدا می‌کند [۵]. بنابراین در سلول شش ترانزیستوری پایه حاشیه نویز ایستای خواندن، یک رابطه معکوس با جریان سلول دارد و دستیابی به یک سلول شش ترانزیستوری پایه با حاشیه نویز ایستای خواندن بالا و جریان سلول زیاد بسیار مشکل است.

استراتژی کلی که برای رفع این مشکل سلول شش ترانزیستوری پایه وجود دارد این است که، عناصری که داده را نگهداری می‌کند از عناصری که داده را می‌خوانند جدا کنیم. دو سلول بر مبنای این استراتژی گزارش شده است [۵، ۶]. یکی از این سلول ها از ۸ ترانزیستور تشکیل شده و دیگری از ۷ ترانزیستور تشکیل شده است. اگر چه این دو سلول توانسته‌اند که به طور مؤثری حاشیه نویز ایستای خواندن و جریان سلول را جدا کنند، اما هر دو این سلول سربار مساحت زیادی را نسبت به سلول شش ترانزیستوری پایه به دنبال دارند، به طوری که در قوانین طراحی Layout یکسان مساحت اشغال شده توسط سلول ۸ ترانزیستوری ۳۰ درصد و سلول ۷ ترانزیستوری ۱۳ درصد از سلول پایه بیشتر است [۵]. شکل ۳ سلول جدید را با سلول پایه و این دو سلول از دیدگاه مساحت مقایسه می‌کند. در ادامه این مقاله سعی می‌کنیم، سلولی را طراحی کنیم که افزایش جریان سلول تأثیری روی حاشیه نویز ایستای خواندن نداشته باشد به طوری که سلول جدید مساحت کمتری نسبت به سلول شش ترانزیستوری پایه اشغال کند.

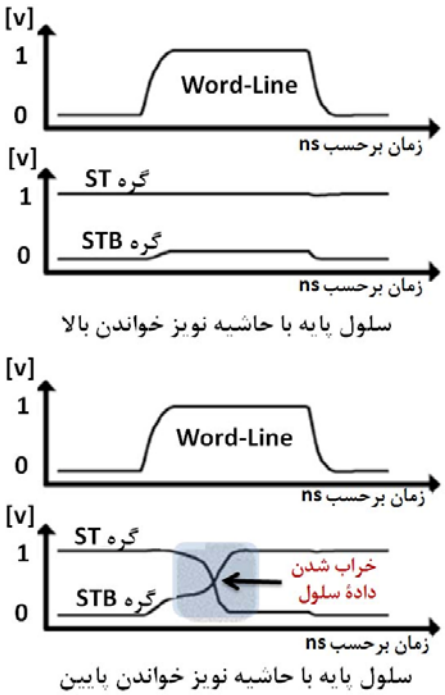
۳- سلول جدید

در شکل ۴ شماتیک مداری سلول جدید نمایش داده شده است. این سلول از یک ترانزیستور NMOS به عنوان ترانزیستور دستیابی استفاده می‌کند و هسته ذخیره‌سازی در این سلول یک معکوس کننده CMOS و یک ترانزیستور PMOS است. ترانزیستور PMOS که بین سورس ترانزیستور PMOS معکوس کننده و V_{DD} قرار می‌گیرد، ترانزیستور قطع کننده نامیده می‌شود. در سیکل‌هایی که سلول به منظور خواندن دستیابی می شود ترانزیستور قطع کننده خاموش می‌شود و در سیکل هایی که سلول در حالت نگهداری داده است و یا عمل نوشتن روی آن

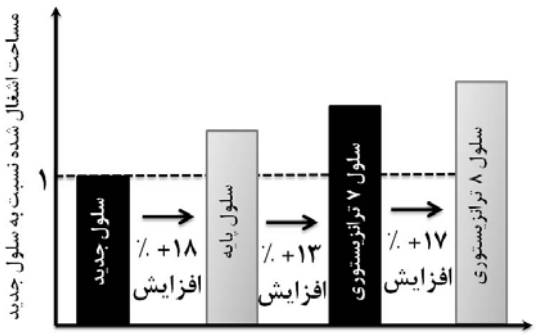
انجام می‌شود، ترانزیستور قطع کننده روشن است. در ادامه نحوه نگهداری داده، فرآیند خواندن و نوشتن در سلول جدید به طور کامل توضیح داده می شود.



شکل ۱- شماتیک مداری سلول شش ترانزیستوری پایه



شکل۲- شکل موج به دست آمده از شبیه سازی برای عمل خواندن در حالت هایی که حاشیه نویز ایستای خواندن بالا و پایین است [۵]



شکل۳- مقایسه سلول جدید با سلول های پایه، ۷ ترانزیستوری و سلول ۸ ترانزیستوری

۳-۱- نگهداری داده در سلول جدید

در سیکل‌هایی که سلول در حالت نگهداری است ترانزیستور قطع کننده روشن است و گره N توسط این ترانزیستور در سطح V_{DD} نگهداشته می‌شود. زمانی که داده ۱ در سلول ذخیره شده است، ولتاژ گره ST در سطح ولتاژ بالا است، بنابراین ترانزیستور M3 روشن است (به شکل ۴ توجه کنید) و گره STB را در سطح ولتاژ پایین نگه می‌دارد و در نتیجه ترانزیستور M2 نیز روشن می‌شود و به این ترتیب یک مسیر فیدبک مثبت توسط ترانزیستورهای M2 و M3 به وجود می‌آید و داده ۱ در سلول ذخیره می‌شود.

زمانی که داده ۰ در سلول ذخیره شده است، ولتاژ گره ST پایین است. در این حالت ترانزیستور M4 روشن است و گره STB را در ولتاژ بالا نگه می‌دارد. در نتیجه ترانزیستور M2 خاموش است. برای آن که ولتاژ گره ST در ولتاژ پایین نگه داشته شود، در حالت بیکاری (زمانی که عملیات خواندن یا نوشتن روی سلول انجام نمی‌شود و سلول در حالت ذخیره‌سازی است) ولتاژ bit-line در سطح زمین (GND) نگه داشته می‌شود، و ترانزیستور NMOS دستیابی را در حالت خاموشی ضعیف قرار می‌دهیم (برای این کار ولتاژ word-line را کمی بالاتر از زمین در حالت بیکاری نگهداری می‌کنیم). به این ترتیب یک جریان از گره ST به زمین از طریق ترانزیستور دستیابی بر قرار می‌شود و ولتاژ گره ST در سطح پایین نگه داشته می‌شود. شکل ۵ جریان‌های نشتی را در این حالت نمایش می‌دهد. همان طور که از شکل ۵ مشخص است برای نگهداری ولتاژ گره ST در سطح پایین نامساوی ۱ باید برقرار شود.

$$I_{DS-M1} + I_{gate-M3} > I_{SD-M2} + I_{gate-M4} \quad (۱)$$

که در نامساوی ۱، I_{DS-M1} جریان درین- سورس ترانزیستور M1 است، $I_{gate-M3}$ جریان نشتی گیت ترانزیستورM3 است، I_{SD-M2} جریان سورس- درین ترانزیستور M2 است و $I_{gate-M4}$ جریان نشتی گیت ترانزیستور M4 است. بنابراین ولتاژ گیت ترانزیستور NMOS دستیابی در حالت بیکاری طوری باید تعیین شود که نامساوی ۱ برقرار باشد تا داده ۰ بدون نیاز به سیکل تازه‌سازی در داخل سلول ذخیره شود [۹]. به علاوه برای برقراری نامساوی ۱ لازم است که ولتاژ bit-line در حالت بیکاری در سطح زمین نگه داشته شود.

۳-۲- فرآیند نوشتن در سلول جدید

در طول عمل نوشتن در سلول معرفی شده ترانزیستور قطع کننده روشن است و گره N توسط این ترانزیستور در سطح V_{DD} نگهداشته می‌شود، بنابراین در طول عمل نوشتن خط کنترلی Read در سطح زمین نگهداشته می‌شود و سلول مراحل زیر طی می‌کند.

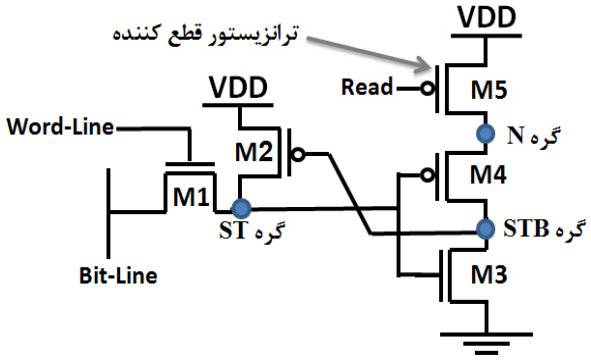
- قرار گرفتن داده روی bit-line : داده ای که باید در سلول نوشته شود توسط مدار نوشتن روی bit-line قرار می‌گیرد.
- فعال‌سازی word-line : در این مرحله با فعال‌سازی word-line ترانزیستور NMOS دستیابی روشن می‌شود، و داده موجود روی bit-line را به گره ST انتقال می‌دهد.
- تغییر حالت سلول: این مرحله شامل دو حالت زیر است.

الف)- داده قرار گرفته روی bit-line برابر با ۱ باشد: در این حالت ولتاژ گره ST توسط ترانزیستور NMOS دستیابی به ولتاژ سطح بالا کشیده می‌شود. در نتیجه ترانزیستور M3 روشن می‌شود و ولتاژ گره STB را به سطح پایین می‌کشد،

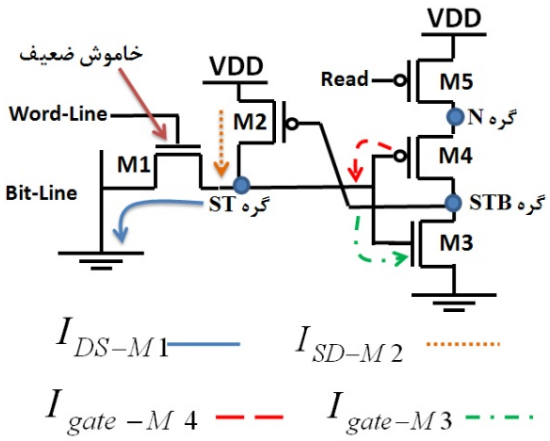
و این باعث روشن شدن ترانزیستور M2 می‌گردد. به این ترتیب یک مسیر فیدبک مثبت توسط ترانزیستور های M2 و M3 به وجود می‌آید، و داده ۱ در سلول ذخیره می‌شود.

ب)- داده قرار گرفته روی bit-line برابر با ۰ باشد: در این حالت ولتاژ گره ST توسط ترانزیستور NMOS دستیابی به ولتاژ سطح پایین کشیده می‌شود. در نتیجه ترانزیستور M4 روشن می‌شود و ولتاژ گره STB را به سطح بالا می‌کشد.

- غیرفعال‌سازی word-line: در انتهای عمل نوشتن word-line غیر فعال می‌شود و ولتاژ bit-line و word-line به حالت بیکاری تغییر مقدار می‌دهند. ما از $V_{WL-Idle}$ برای نمایش ولتاژ word-line در حالت بیکاری استفاده می‌کنیم. شکل ۶ شکل موج سیکل نوشتن را نمایش می‌دهد.



شکل۴- شماتیک مداری سلول جدید

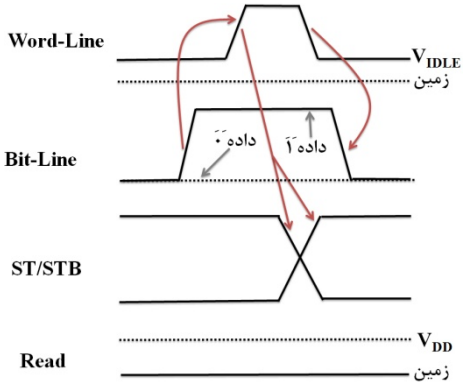


شکل ۵- جریان‌های نشتی سلول جدید در حالتی که داده ۰ در سلول ذخیره شده است

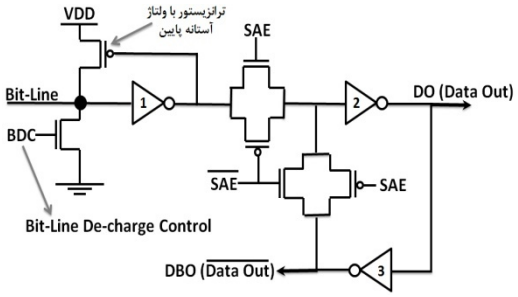
۳-۳- فرآیند خواندن از سلول جدید

در زمانی که عمل خواندن روی سلول در حال انجام است، سلول مراحل زیر طی می‌کند.

- دشارژ کردن bit-line : در ابتدای عمل خواندن bit-line به زمین دشارژ می‌شود و در حالت امپدانس بالا قرار می‌گیرد.
- خاموش شدن ترانزیستور قطع کننده: در زمان خواندن، سیگنال کنترلی Read از سطح ولتاژ زمین به سطح ولتاژ V_{DD} تغییر سطح می‌دهد و به این ترتیب ترانزیستور قطع کننده خاموش می‌شود.
- فعال‌سازی word-line : در این مرحله بعد از خاموش شدن ترانزیستور قطع کننده خط word-line فعال می‌شود و ترانزیستور NMOS دستیابی روشن می‌شود و داده موجود روی گره ST را به bit-line انتقال می‌دهد.
- خواندن داده موجود روی bit-line: خواندن داده قرار گرفته شده روی bit-line توسط تقویت کننده حسی انجام می‌شود. تقویت کننده حسی که این سلول از آن استفاده می‌کند، در شکل ۷ نمایش داده شده است و همچنین شکل ۸ شکل موج سیکل خواندن را نمایش می‌دهد.



شکل ۶- شکل موج سیکل نوشتن



شکل۷- شماتیک مداری تقویت کننده حسی مورد استفاده سلول جدید

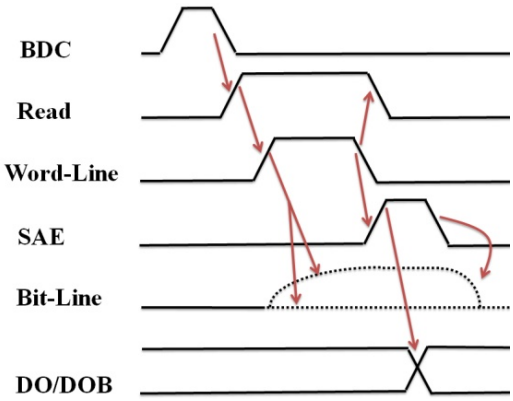
۴-۳- جریان سلول و حاشیه نویز ایستای خواندن در سلول جدید

هدف از اضافه کردن ترانزیستور قطع کننده در سلول ارائه شده این است که عناصری که داده را نگهداری می‌کند از عناصری که داده را می‌خوانند جدا کنیم. به این ترتیب می‌توان رابطه معکوس بین و جریان سلول و حاشیه نویز ایستا خواندن را از بین برد و هر یک را به طور جداگانه برای سلول جدید تعیین کرد.

برای افزایش سرعت خواندن و نوشتن باید قدرت جریان‌دهی ترانزیستور دستیابی را افزایش دهیم یعنی جریان سلول را باید افزایش دهیم و برای این منظور می‌توان اندازه ترانزیستور دستیابی را بزرگ انتخاب کرد یا ولتاژ آستانه ترانزیستور دستیابی را کاهش داد یا اینکه در زمان انجام عمل خواندن یا نوشتن ولتاژ word-line را افزایش دهیم. اکنون حالتی را در نظر بگیرد که در سلول داده ۱ ذخیره شده باشد و ترانزیستور قطع کننده نیز وجود نداشته باشد. با انجام یک عمل خواندن و فعال شدن word-line ترانزیستور دستیابی روشن می‌شود و از آنجایی که قدرت جریان‌دهی این ترانزیستور به منظور بهبود سرعت سلول، افزایش یافته است باعث کاهش ولتاژ گره ST می‌شود و در نتیجه ولتاژ گره STB افزایش می‌یابد و داده سلول در زمان انجام عمل خواندن عوض می‌شود. بنابراین

عدم حضور ترانزیستور قطع کننده باعث بروز ضعف سلول شش ترانزیستور در سلول جدید نیز می‌شود.

حال وضعیتی را در نظر بگیرد که داده ‘۱’ در سلول ذخیره شده باشد و ترانزیستور قطع کننده نیز در ساختار سلول جدید وجود داشته باشد و به منظور بهبود سرعت سلول، قدرت جریان‌دهی ترانزیستور دستیابی نیز افزایش یافته باشد. در طول انجام عمل خواندن ترانزیستور قطع کننده خاموش است، با روشن شدن ترانزیستور دستیابی ولتاژ گره ST کاهش می یابد اما از آنجایی که ترانزیستور قطع کننده خاموش است، تغییرات گره ST تأثیری روی گره STB ندارد و ترانزیستور M2 همچنان روشن خواهد بود و داده سلول در زمان خواندن تغییری نمی‌کند. بنابراین در سلول جدید جریان سلول از حاشیه نویز ایستا خواندن جدا شده است و هر یک را می‌توان به طور جداگانه برای سلول تعیین کرد.



شکل ۸- شکل موج سیکل خواندن

به منظور بررسی عملکرد درست سلول جدید این سلول در تکنولوژی استاندارد ۰/۲۵ μm توسط HSPICE ۲۰۰۸ شبیه‌سازی شده است. در این شبیه‌سازی V_{DD} برابر با ۲/۵ ولت است و زمانی که سلول در حالت بیکاری است برای آنکه نامساوی ۱ بر قرار باشد ولتاژ word-line در سطح ۰/۵ ولت نگهداری می‌شود. همچنین برای بررسی عمل کرد درست سلول جدید از سناریوهای زیر در شبیه‌سازی استفاده شده است.

- نوشتن داده ‘۱’ در سلول جدید و خواندن آن از سلول.
- نوشتن داده ‘۰’ در سلول جدید و خواندن آن از سلول.

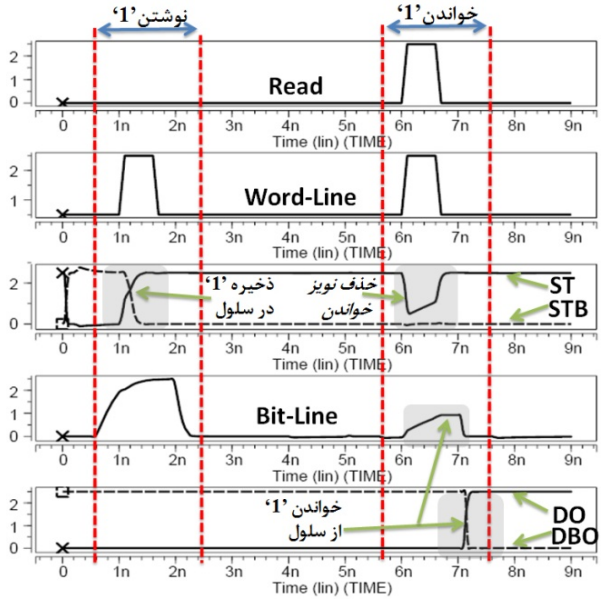
شکل موج‌های شکل‌های ۹ و ۱۰ حاصل از اعمال سناریوهای بالا هستند، همانطور که از شکل‌های ۹ و ۱۰ مشخص است آین سلول به درستی کار می‌کند.

۴- تأخیر خواندن و نوشتن در سلول جدید و پایه

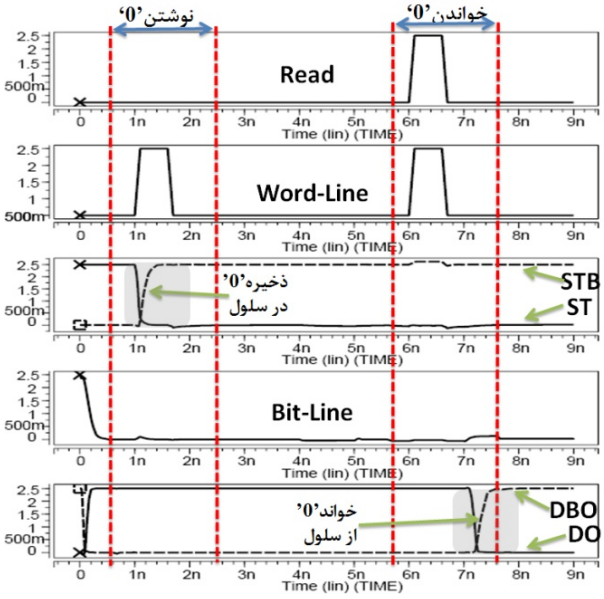
در این قسمت به بررسی تأخیر خواندن و نوشتن سلول جدید و سلول پایه از طریق تحلیل و شبیه‌سازی می‌پردازیم.

۴-۱- تاخیر نوشتن در سلول جدید

در سلول جدید زمانی که یک عمل نوشتن روی سلول انجام می‌شود داده مورد نظر که باید در سلول نوشته شود روی bit-line قرار می‌گیرد و سپس ترانزیستور دستیابی توسط فعال کردن word-line روشن می‌شود و داده موجود روی bit-line را به گره ST منتقل می‌کند. اگر داده‌ای که باید در سلول نوشته شود با داده کنونی سلول یکی نباشد فرآیند تغییر حالت سلول انجام می‌شود و به این ترتیب داده مورد نظر در سلول نوشته می‌شود. ما مدت زمانی که فرآیند تغییر حالت انجام می‌شود را به عنوان تأخیر عمل نوشتن در نظر می‌گیریم.



شکل۹- شکل موج حاصل از شبیه‌سازی نوشتن ‘۱’ و خواندن آن



شکل۱۰- شکل موج حاصل از شبیه سازی نوشتن ‘۰’ و خواندن آن

در زمانی که داده ‘۱’ در سلول جدید ذخیره شده است، برای این که سلول تغییر حالت دهد ولتاژ گره ST باید از سطح ولتاژ V_{DD} به سطح ولتاژ آستانه معکوس کننده موجود در سلول جدید (V_M) تغییر سطح دهد. و برعکس زمانی که داده ‘۰’ در سلول جدید ذخیره شده است برای این که سلول تغییر حالت دهد ولتاژ گره ST باید از سطح ولتاژ زمین به سطح ولتاژ آستانه معکوس کننده موجود در سلول جدید (V_M) تغییر سطح دهد. بنابراین تاخیر نوشتن در سلول جدید به صورت مدت زمانی است که طول می کشد تا ولتاژ گره ST از سطح ولتاژ V_{DD} یا زمین به سطح ولتاژ V_M برسد تعریف می‌شود، که V_M ولتاژ آستانه معکوس کننده موجود در سلول جدید است. بدترین حالت تأخیر نوشتن در سلول

جدید در زمانی رخ می‌دهد که گره ST در سلول جدید باید از سطح ولتاژ V_{DD} به سطح ولتاژ V_M تغییر حالت دهد، زیرا که در این حالت گره ST توسط ترانزیستور M2 در سطح ولتاژ V_{DD} نگهداشته شد و ترانزیستور دستیابی برای پایین کشیدن سطح ولتاژ این گره باید با ترانزیستور M2 رقابت کند. در صورتی که اگر گره ST توسط ترانزیستور دستیابی بخواهد از سطح ولتاژ زمین به سطح ولتاژ V_M تغییر سطح دهد هیچ ترانزیستوری برای رقابت با ترانزیستور دستیابی وجود ندارد.

تغییر سطح ولتاژ گره ST در سلول جدید مستلزم شارژ یا دشارژ کردن خازن پارازیتی موجود در این گره است ($C_{ST\text{-}5T}$) این خازن عمدتاً ناشی از خازن درین ترانزیستور دستیابی و ترانزیستور M2 و خازن گیت ترانزیستورهای M3 و M4 است. از آنجایی بدترین حالت تأخیر نوشتن در سلول جدید در زمانی رخ می‌دهد که گره ST در سلول جدید باید از سطح ولتاژ V_{DD} به سطح ولتاژ V_M تغییر حالت دهد ما این حالت را به عنوان تأخیر نوشتن در نظر می‌گیریم. شکل ۱۱ مدار معادلی را که برای این تغییر حالت وجود دارد نمایش می‌دهد.

چنانچه دریک معکوس کننده داشته باشیم $(W/L)_{PMOS}=(\mu_n/\mu_p)\times(W/L)_{NMOS}$ و ولتاژ آستانه ترانزیستورهای NMOS و PMOS قابل مقایسه باهم باشند و اختلاف زیادی باهم نداشته باشند ولتاژ آستانه معکوس کننده تقریباً برابر با $V_{DD}/2$ است [۱۰]. البته ولتاژ آستانه یک معکوس کننده CMOS نسبتاً به اندازه ترانزیستورهای تشکیل دهنده معکوس کننده غیرحساس است[۱۰]. در معکوس کننده سلول جدید $(W/L)_{NMOS}$ برابر با $(W/L)_{PMOS}$ است و ولتاژ آستانه ترانزیستورهای PMOS و NMOS نیز با هم برابر هستند در نتیجه می‌توان گفت که ولتاژ آستانه معکوس کننده سلول جدید اختلاف خیلی کمی با $V_{DD}/2$ دارد و می‌توان گفت که ولتاژ آستانه معکوس کننده سلول جدید تقریباً با $V_{DD}/2$ برابر است. بنابراین اگر ولتاژ آستانه معکوس کننده در سلول جدید را برابر با $V_{DD}/2$ فرض کنیم در این صورت در طول تغییر ولتاژ گره ST از V_{DD} به V_M، ترانزیستور دستیابی سلول اکثراً در ناحیه اشباع است و ترانزیستور M2 اکثراً در ناحیه خطی است، بنابراین می‌توان فرض کرد که در طول تغییر ولتاژ گره ST از V_{DD} به V_M ترانزیستور دستیابی سلول در ناحیه اشباع است و ترانزیستور M2 در ناحیه خطی است (شبیه‌سازی‌های انجام شده درستی این فرض را تأیید می‌کنند). از آنجایی که در طول تغییر ولتاژ گره ST ولتاژ سورس- درین ترانزیستور M2 از صفر به $V_{DD}/2$ تغییر می کند متوسط ولتاژ سورس- درین ترانزیستور M2 برابر با $V_{DD}/4$ است. بنابراین مدت زمانی که طول می‌کشد تا گره ST از V_{DD} به V_M تغییر سطح دهد از رابطه ۲ به دست می‌آید [۱۰، ۱۱].

$$T_{Write-5T}=\frac{C_{ST-5T}\left(V_{DD}-\frac{V_{DD}}{2}\right)}{I_{M1-5T}-I_{M2-5T}} \qquad (۲)$$

که در رابطه ۲ I_{M1-5T} جریان ترانزیستور دستیابی سلول (M1) و I_{M2-5T} جریان ترانزیستور M2 است و از روابط ۳ و ۴ به دست می‌آیند [۱۰، ۱۱].

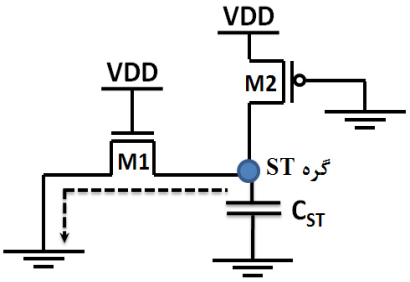
$$I_{M1-5T}=\frac{\mu_n C_{OX}}{2}\frac{W_{1-5T}}{L_{1-5T}}(V_{DD}-V_{tn})^2 \qquad (۳)$$

$$I_{M2-5T}=\mu_p C_{OX}\frac{W_{2-5T}}{L_{2-5T}}\left[(V_{DD}+V_{tp})\frac{V_{DD}}{4}-\frac{V_{DD}^2}{32}\right] \qquad (۴)$$

که W_{1-5T} و W_{2-5T} عرض ترانزیستور M1 و M2 هستند، L_{1-5T} و L_{2-5T} طول ترانزیستور M1 و M2 هستند، V_{tn} ولتاژ آستانه ترانزیستورهای NMOS است، V_{tp} ولتاژ آستانه ترانزیستورهای PMOS است، μ_n موبیلیتی ترانزیستورهای NMOS است، μ_p موبیلیتی ترانزیستور های PMOS است و C_{OX} خازن واحد سطح گیت به بدنه است. اکنون فرض کنید که :

$k_n=\frac{\mu_n C_{OX}}{2}$ و $k_P=\frac{\mu_p C_{OX}}{2}$ و $V_n=V_{DD}-V_{tn}$ و $V_p=V_{DD}+V_{tp}$ باشد با جایگذاری روابط ۳ و ۴ در رابطه ۲ و صرف نظر کردن از عبارت $\frac{V_{DD}^2}{32}$ در رابطه ۴ و ساده‌سازی تأخیر نوشتن در سلول جدید از رابطه ۵ به دست می‌آید.

$$T_{Write-5T}=\frac{C_{ST-5T}\frac{V_{DD}}{2}}{K_n\frac{W_{1-5T}}{L_{1-5T}}V_n^2-K_p\frac{W_{2-5T}}{L_{2-5T}}V_p\frac{V_{DD}}{4}} \qquad (۵)$$



شکل ۱۱- مدار معادل سلول جدید در زمان نوشتن داده ۰ در حالتی که از قبل داده ۱ در سلول ذخیره است

۴-۲- تأخیر نوشتن در سلول پایه

در سلول شش ترانزیستوری پایه زمانی که یک عمل نوشتن روی سلول انجام می‌شود، داده مورد نظر و مکمل آن روی bit-line و $\overline{\text{bit-line}}$ قرار می‌گیرد و سپس ترانزیستورهای دستیابی توسط فعال کردن word-line روشن می‌شوند و داده موجود روی bit-line و $\overline{\text{bit-line}}$ را به گره‌های ST و STB منتقل می‌کنند. اگر داده‌ای که باید در سلول نوشته شود با داده کنونی سلول یکی نباشد فرآیند تغییر حالت سلول انجام می‌شود و به این ترتیب داده مورد نظر در سلول نوشته می‌شود. همانند سلول جدید ما مدت زمانی که فرآیند تغییر حالت انجام می‌شود را به عنوان تأخیر عمل نوشتن سلول پایه در نظر می‌گیریم.

معمولاً برای آنکه عمل خواندن و نوشتن روی سلول پایه به درستی انجام شود اندازه ترانزیستورها در سلول پایه به صورت زیر تعیین می شود [۱۰، ۱۱].

$$\frac{W_{Driver}}{L_{Driver}}>\frac{W_{Access}}{L_{Access}}>\frac{W_{Load}}{L_{Load}}$$

بنابراین در زمان نوشتن داده‌ای در سلول پایه، گره‌ای که در سطح ولتاژ V_{DD} است شروع به تغییر سطح ولتاژ می‌کند زیرا گره‌ای که در سطح ولتاژ زمین است توسط ترانزیستور Driver در سطح زمین نگهداشته شده و چون اندازه ترانزیستور Access (دستیابی) از ترانزیستور Driver کوچکتر است قادر به بالا کشیدن گره‌ای که در سطح ولتاژ زمین است نیست [۱۰، ۱۱]. در نتیجه زمانی که داده ۱ در سلول پایه ذخیره شده است برای این که سلول تغییر حالت دهد ولتاژ گره ST باید از سطح ولتاژ V_{DD} به سطح ولتاژ آستانه معکوس کننده موجود در سلول پایه (V_M) تغییر سطح دهد. و برعکس زمانی که داده ۰ در سلول پایه ذخیره شده است برای این که سلول تغییر حالت دهد ولتاژ گره STB باید از

سطح ولتاژ V_{DD} به سطح ولتاژ آستانه معکوس کننده موجود در سلول جدید (V_M) تغییر سطح دهد. بنابراین تاخیر نوشتن در سلول پایه به صورت مدت زمانی که طول می‌کشد تا ولتاژ گره ST یا STB از سطح ولتاژ V_{DD} به سطح ولتاژ V_M برسد تعریف می‌شود، که V_M ولتاژ آستانه معکوس کننده‌های موجود در سلول پایه است.

تغییر سطح ولتاژ گره‌های ST یا STB در سلول پایه مستلزم شارژ یا دشارژ کردن خازن‌های پارازیتی موجو در این گره‌ها است (C_{ST-6T} یا C_{STB-6T}) این خازن‌ها عمدتاً ناشی از خازن درین و گیت ترانزیستورهای Access و Driver و Load هستند. شکل ۱۲ مدار معادلی را که برای تغییر حالت سلول پایه وجود دارد نمایش می‌دهد. دراین مدار معادل فرض کرده ایم که داده ذخیره شده در سلول ´۱´ است و داده‌ای که باید در سلول نوشته شود ´۰´ است.

همانطور که قبلاً گفته شد ولتاژ آستانه معکوس کننده CMOS نسبتاً به اندازه ترانزیستورهای معکوس کننده غیرحساس است [۱۰]. در معکوس کننده‌های موجود در سلول پایه برای اینکه عمل خواندن و نوشتن به درستی انجام شود معمولاً $(W/L)_{NMOS}= 2\times(W/L)_{PMOS}$ است. اما اگر ولتاژ آستانه ترانزیستورهای PMOS و NMOS با هم برابر باشند ولتاژ آستانه معکوس کننده اختلاف کمی با $V_{DD}/2$ دارد و می‌توان گفت که ولتاژ آستانه معکوس کننده‌ها در سلول پایه تقریباً برابر با $V_{DD}/2$ است [۱۰].

بنابراین اگر ولتاژ آستانه معکوس کننده‌ها در سلول پایه را برابر با $V_{DD}/2$ فرض کنیم در این صورت در طول تغییر ولتاژ گره ST از V_{DD} به V_M، ترانزیستور دستیابی سلول اکثراً در ناحیه اشباع است و ترانزیستور Load اکثراً در ناحیه خطی است، بنابراین می‌توان فرض کرد که در طول تغییر ولتاژ گره ST از V_{DD} به V_M ترانزیستور دستیابی سلول در ناحیه اشباع است و ترانزیستور M3 در ناحیه خطی است (شبیه سازی‌های انجام شده درستی این فرض را تأیید می‌کنند). از آنجایی که در طول تغییر ولتاژ گره ST ولتاژ سورس- درین ترانزیستور M3 از صفر به $V_{DD}/2$ تغییر می‌کند متوسط ولتاژ سورس- درین ترانزیستور M3 برابر با $V_{DD}/4$ است. بنابراین مدت زمانی که طول می‌کشد تا گره ST از V_{DD} به V_M تغییر سطح دهد از رابطه ۶ به دست می‌آید [۱۰، ۱۱].

$$T_{Write-6T} = \frac{C_{ST-6T}(V_{DD} - \frac{V_{DD}}{2})}{I_{M1-6T} - I_{M3-6T}} \quad (۶)$$

که در رابطه ۶ I_{M1-6T} جریان ترانزیستور دستیابی سلول و I_{M3-6T} جریان ترانزیستور Load است و از روابط ۷ و ۸ به دست می آیند [۱۰، ۱۱].

$$I_{M1-6T} = \frac{\mu_n C_{OX}}{2}\frac{W_{1-6T}}{L_{1-6T}}(V_{DD} - V_{tn})^2 \quad (۷)$$

$$I_{M3-6T} = \mu_p C_{OX}\frac{W_{3-6T}}{L_{3-6T}}\left[(V_{DD} + V_{tp})\frac{V_{DD}}{4} - \frac{V_{DD}^2}{32}\right] \quad (۸)$$

که W_{1-6T} و W_{3-6T} عرض ترانزیستور M1 و M3 هستند، L_{1-6T} و L_{3-6T} طول ترانزیستور M1 و M3 هستند، V_{tn} ولتاژ آستانه ترانزیستورهای NMOS است، V_{tp} ولتاژ آستانه ترانزیستورهای PMOS است، μ_n موبیلیتی ترانزیستورهای NMOS است، μ_p موبیلیتی ترانزیستورهای PMOS است و C_{OX} خازن واحد سطح گیت به بدنه است. اکنون فرض کنید که:

$k_n = \frac{\mu_n C_{OX}}{2}$ و $k_P = \frac{\mu_P C_{OX}}{2}$ و $V_n = V_{DD} - V_{tn}$ و $V_p = V_{DD} - V_{tp}$ باشد با جایگذاری روابط ۷ و ۸ در رابطه ۶ و صرف نظر کردن از عبارت $\frac{V_{DD}^2}{32}$ در رابطه ۸ و ساده‌سازی، تأخیر نوشتن در سلول جدید از رابطه ۹ به دست می‌آید.

$$T_{Write6T} = \frac{C_{ST-6T}\frac{V_{DD}}{2}}{K_n\frac{W_{1-6T}}{L_{1-6T}}V_n^2 - K_p\frac{W_{3-6T}}{L_{3-6T}}V_p\frac{V_{DD}}{4}} \quad (۹)$$

۴-۳- تاخیر خواندن در سلول جدید

در سلول جدید زمانی که یک عمل خواندن روی سلول انجام می‌شود ابتدا bit-line به زمین دشارژ می‌شود و در حالت امپدانس بالا رها می‌شود و بعد ترانزیستور قطع کننده توسط غیرفعال‌سازی Read خاموش می‌شود و سپس ترانزیستور دستیابی توسط فعال کردن word-line روشن می‌شود و داده موجود روی گره ST را به bit-line منتقل می‌شود. اگر داده موجود روی گره ST برابر با ´۰´ باشد هیچ تغییری ولتاژی روی bit-line وجود ندارد اما اگر داده موجود روی گره ST برابر با ´۱´ باشد bit-line شارژ می‌شود. تغییرات موجود روی bit-line توسط تقویت کننده حسی به داده ´۱´ یا ´۰´ تبدیل می‌شوند.

در شکل ۷ شماتیک مداری تقویت کننده حسی که این سلول جدید از آن استفاده می‌کند نمایش داده شده است. برای این که تقویت کننده حسی داده ´۱´ را بتواند تشخیص دهد ولتاژ bit-line در زمانی که داده ´۱´ روی آن وجود دارد باید از ولتاژ آستانه معکوس کننده‌ای که در این تقویت کننده حسی وجود بیشتر باشد و ما این حداقل ولتاژ را با V_{Read} نمایش می‌دهیم. بنابراین برای افزایش سرعت خواندن داده ´۱´، باید ولتاژ آستانه معکوس کننده ۱ موجود در تقویت کننده حسی را کاهش دهیم.

شکل ۱۳ مدار معادلی که در برای خواندن داده ´۱´ وجود دارد را نمایش می‌دهد. به علاوه در سلول جدید چون $(W/L)_2<(W/L)_1$ است جریانی که در شکل ۱۳ نشان داده شده است توسط ترانزیستور M2 محدود می‌شود. در ابتدا زمانی که ترانزیستور دستیابی روشن می‌شود ولتاژ گره ST در سطح بالا است بنابراین ترانزیستور M2 در ناحیه خطی است.

در طول روشن بودن ترانزیستور دستیابی سلول و شارژ شدن bit-line، ولتاژ گره ST کاهش می‌یابد و سپس افزایش می‌یابد (به شکل ۹ توجه کنید) بنابراین ممکن است ترانزیستور M2 سلول برای زمان کوتاهی وارد ناحیه اشباع شود اما در اکثر زمان خواندن این ترانزیستور در ناحیه خطی است و جریان آن از رابطه ۱۰ به دست می‌آید [۱۱،۱۰].

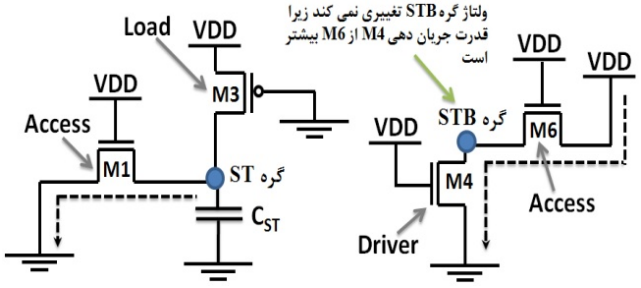
$$I_{M2-5T} = \mu_p C_{OX}\frac{W_{2-5T}}{L_{2-5T}}\left[(V_{SG-M2-5T} + V_{tp})V_{SD-M2-5T} - \frac{V_{SD-M2-5T}^2}{2}\right] \quad (۱۰)$$

به طور کلی تا زمانی که ولتاژ سورس- درین ترانزیستور M2 ($V_{SD-M2-5T}$) از $V_{SG-M2-5T}+V_{tp}$ کمتر است ترانزیستور M2 در ناحیه خطی است [۱۱،۱۰]. بنابراین می‌توان گفت که متوسط ولتاژ $V_{SD-M2-5T}$ در ناحیه خطی برابر با $(V_{SG-M2-5T}+V_{tp})/2$ است در نتیجه متوسط جریان ترانزیستور M2 در ناحیه خطی از رابطه ۱۱ به دست می‌آید.

$$I_{M2-5T} = \mu_p C_{OX} \frac{W_{2-5T}}{L_{2-5T}} \left[\frac{(V_{DD}+V_{tp})^2}{2} - \frac{(V_{DD}+V_{tp})^2}{8} \right] \quad (۱۱)$$

که W_{2-5T} عرض ترانزیستور M2 است، L_{1-5T} طول ترانزیستور M2 است، V_{tp} ولتاژ آستانه ترانزیستور های PMOS است، μ_p موبیلیتی ترانزیستورهای PMOS است و C_{OX} خازن واحد سطح گیت به بدنه است. تأخیر خواندن را به صورت مدت زمان لازم برای شارژ شدن bit-line از زمین به V_{Read} بعد از فعال‌سازی word-line تعریف می‌کنیم. با صرف نظر کردن از عبارت $\frac{(V_{DD}+V_{tp})^2}{8}$ در رابطه ۱۱ تأخیر خواندن را می‌توان از رابطه ۱۲ تخمین زد.

$$T'_{Read-5T} = \frac{2C_{BL}V_{Read}L_{2-5T}}{\mu_p C_{OX} W_{2-5T} (V_{DD}+V_{tp})^2} \quad (۱۲)$$



شکل ۱۲- مدار معادل سلول پایه در زمان نوشتن داده ٔ۰ ٔ در حالتی که از قبل داده ٔ۱ ٔدر سلول ذخیره است

۴-۴- تاخیر خواندن در سلوله پایه

در سلول شش ترانزیستوری پایه زمانی که یک عمل خواندن روی سلول انجام می‌شود، اپتدا bit-line و $\overline{\text{bit-line}}$ به V_{DD} شارژ می‌شوند و در حالت امپدانس بالا رها می‌شوند، سپس با فعال شدن word-line ترانزیستورهای دستیابی روشن می‌شوند. با روشن شدن ترانزیستورهای دستیابی ولتاژ یکی از خطوط bit-line از V_{DD} به V_{DD}-V_{Read} (حداقل مقدار اختلاف ولتاژ بین خطوط bit-line که تقویت‌کننده حسی به تواند داده را تشخیص دهد) دشارژ می‌شود. سپس تقویت کننده حسی اختلاف ولتاژ موجود بین خطوط bit-line را به داده تبدیل می‌کند.

شکل ۱۴ مدار معادلی که در برای خواندن داده ٔ۱ ٔ وجود دارد را نمایش می‌دهد. به علاوه در سلول جدید چون $(W/L)_6<(W/L)_4$ است جریانی که در شکل ۱۴ نشان داده شده است توسط ترانزیستور M6 محدود می‌شود. در ابتدا زمانی که ترانزیستور دستیابی روشن می‌شود ولتاژ گره STB در سطح پایین و $\overline{\text{bit-line}}$ در سطح ولتاژ بالا است بنابراین ترانزیستور M6 در ناحیه اشباع است. در طول روشن بودن ترانزیستور دستیابی ولتاژ گره STB مقدارکمی افزایش پیدا می‌کند زیرا قدرت جریان‌دهی ترانزیستور Driver بیشتر از ترانزیستور دستیابی سلول (M6) است و $\overline{\text{bit-line}}$ از V_{DD} به V_{DD}-V_{Read} دشارژ می‌شود (اختلاف V_{Read} و V_{DD} مقدار کمی است). بنابراین می‌توان گفت که ترانزیستور دستیابی سلول پایه (M6) در طول فرآیند خواندن اکثراً در حالت اشباع است و جریان آن از رابطه ۱۳ به دست می آید [۱۱،۱۰].

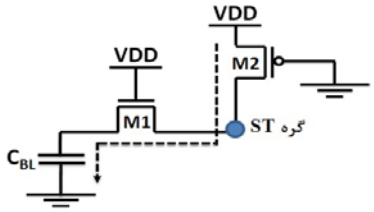
$$I_{M6-6T} = \frac{\mu_n C_{OX}}{2} \frac{W_{6-6T}}{L_{6-6T}} (V_{DD}-V_{tn})^2 \quad (۱۳)$$

که W_{6-6T} عرض ترانزیستور M6 است، L_{6-6T} طول ترانزیستور M6 است، V_{np} ولتاژ آستانه ترانزیستورهای NMOS است، μ_n موبیلیتی ترانزیستور های NMOS است و C_{OX} خازن واحد سطح گیت به بدنه است. تأخیر خواندن را به صورت مدت زمان لازم برای دشارژ شدن $\overline{\text{bit-line}}$ از V_{DD} به V_{DD}-V_{Read} بعد از فعال سازی word-line تعریف می‌کنیم و از تأخیر تقویت کننده حسی نیز صرف نظر می‌کنیم. با فرض این که ترانزیستور M6 در طول عمل خواندن در ناحیه اشباع است تأخیر خواندن را می‌توان از رابطه ۱۴ تخمین زد.

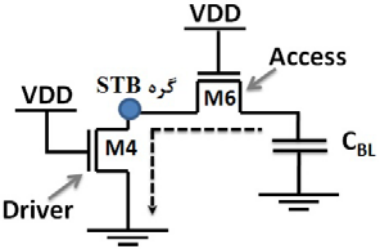
$$T_{Read-6T} = \frac{2C_{BL}V_{Read}L_{6-6T}}{\mu_n C_{OX} W_{6-6T} (V_{DD}-V_{tn})^2} \quad (۱۴)$$

بر اساس روابط ۹ و ۱۴ برای افزایش سرعت خواندن و نوشتن در سلول پایه باید قدرت جریان‌دهی ترانزیستور دستیابی را افزایش دهیم. برای این منظور می‌توان اندازه ترانزیستور دستیابی را افزایش داد. اما افزایش قدرت جریان‌دهی ترانزیستور دستیابی در سلول پایه باعث کاهش حاشیه نویز ایستای خواندن می‌شود [۵]. به علاوه زمانی که اندازه ترانزیستور دستیابی در سلول پایه افزایش می‌یابد برای انجام درست عمل خواندن و نوشتن اندازه ترانزیستورهای Driver نیز باید افزایش پیدا کنند و این باعث افزایش مساحت اشغال شده توسط سلول می‌شود [۱۱،۱۰]. از طرف دیگر براساس روابط ۵ و ۱۲، برای افزایش سرعت نوشتن و خواندن سلول جدید نیز باید قدرت جریان‌دهی ترانزیستور دستیابی سلول جدید افزایش یابد. اما برخلاف سلول پایه افزایش قدرت جریان‌دهی ترانزیستور دستیابی سلول هیچ تأثیر منفی روی حاشیه نویز ایستای خواندن ندارد.

همچنین افزایش اندازه ترانزیستور دستیابی در سلول جدید به منظور افزایش قدرت جریان‌دهی هیچ سربار مساحتی را نسبت به سلول پایه به دنبال ندارد زیرا که سلول جدید از پنج ترانزیستور و یک bit-line استفاده می‌کند.



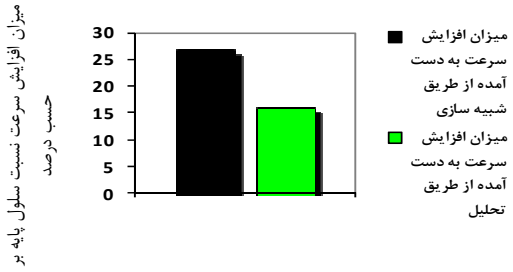
شکل ۱۳- مدار معادل سلول جدید در زمان خواندن داده ٔ۱ ٔ



شکل ۱۴- مدار معادل سلول پایه در زمان خواندن داده ٔ۱ ٔ

برای مقایسه تأخیر نوشتن و خواندن سلول پایه و سلول جدید، دو سلول با مشخصات لیست شده در جدول ۱ در نظر گرفته شده است. براساس مشخصات

لیست شده در جدول ۱ و با استفاده از عبارت های ۴ و ۸ و ۱۱ و ۱۳ میانگین تأخیر خواندن و نوشتن سلول جدید و سلول پایه با هم مقایسه شده‌اند و میزان افزایش سرعت سلول جدید نسبت به سلول پایه در شکل ۱۵ نمایش داده شده است. همچنین در شکل ۱۵ میزان افزایش سرعت سلول جدید نسبت به سلول پایه از طریق شبیه‌سازی نیز نشان داده شده است. همان‌طور که از شکل ۱۵ مشخص است از دیدگاه تحلیلی سلول جدید ۱۶ در صد و از دیدگاه شبیه‌سازی ۲۷ درصد سریعتر از سلول پایه است. دلیل این افزایش سرعت در سلول جدید این است که اندازه ترانزیستور دستیابی سلول جدید بزرگتر از سلول پایه است و این باعث افزایش قدرت جریان‌دهی ترانزیستور دستیابی سلول جدید می‌شود. اما اکنون ممکن است که این سؤال مطرح شود که آیا افزایش اندازه ترانزیستور دستیابی در سلول جدید ممکن است باعث شود که مساحت سلول جدید بیشتر از سلول پایه شود؟. برای پاسخ به این سوأل ما Layout سلول پایه و سلول جدید را در قوائد طراحی تکنولوژی ۰/۲۵ μm استاندارد با استفاده از L-Edit 2005 طراحی کردیم. Layout طراحی شده برای سلول شش ترانزیستوری پایه دارای توپولوژی استاندارد است و تا حد ممکن به صورت فشرده طراحی شده است تا مساحت کمتری را اشغال کند. در شکل ۱۶ Layout سلول جدید و سلول شش ترانزیستوری پایه از لحاظ مساحت با هم مقایسه شده‌اند. سلول جدید مساحت μm^2 ۱۹/۶۱ را اشغال می‌کند در صورتی که سلول شش ترانزیستوری پایه مساحت μm^2 ۲۳/۹۴ را اشغال می‌کند. بنابراین سلول جدید باعث کاهش ۱۸ در صدی مساحت اشغال شده می‌شود. باید توجه داشت که اندازه ترانزیستورهای سلول پایه که در جدول ۱ وجود دارد طوری تعیین شده‌اند که سلول پایه مساحت کمی را اشغال کند.

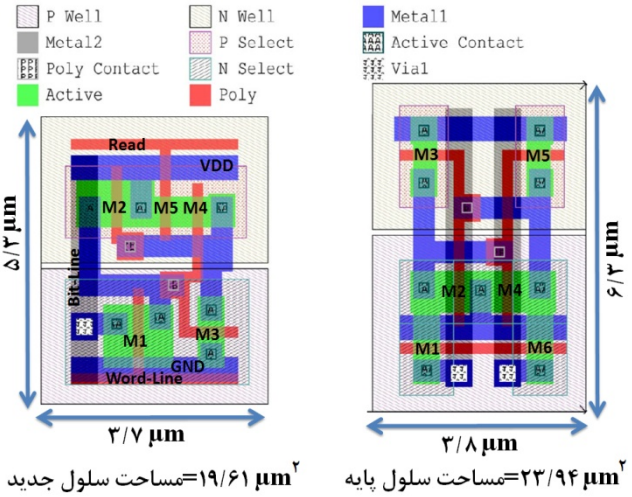


شکل ۱۵- مقایسه میانگین تأخیر خواندن و نوشتن سلول جدید و سلول پایه از طریق شبیه‌سازی و تحلیل

نکته دیگری که باید به آن توجه داشت این است که سرعت سلول پایه و جدید با افزایش اندازه ترانزیستورها بیشتر می‌شود ولی این موضوع باعث زیاد شدن مساحت اشغالی این سلول‌ها می‌شود به طوری که چنان چه اندازه ترانزیستورهای سلول جدید طوری تعیین شود که سرعت سلول جدید بیشتر از ۲۷ درصد از سلول پایه بیشتر شود مساحت اشغال شده توسط سلول جدید افزایش می‌یابد و در حالت‌هایی که افزایش سرعت زیاد است ممکن است که مساحت اشغال شده توسط سلول جدید با مساحت اشغال شده توسط سلول پایه مساوی شود یا حتی مقدار کمی از سلول پایه بیشتر شود.

۵- جریان نشتی در سلول جدید و سلول پایه

توان مصرفی ایستا در یک سلول SRAM ناشی از جریان‌های نشتی ترانزیستورهای تشکیل دهنده سلول است. بنابراین برای کاهش توان مصرفی ایستا باید این جریان‌های نشتی ترانزیستورهای سلول را کاهش دهیم [۱۲]. در این راستا، در بسیاری از موارد زمانی که SRAM در حالت بیکاری است و عمل نوشتن یا خواندنی روی آن انجام نمی‌شود سلول‌های SRAM در حالتی قرار می‌گیرند که جریان‌های نشتی ترانزیستورهای سلول کاهش یابد [۱۳].



شکل ۱۶- مقایسه Layout سلول جدید و سلول پایه

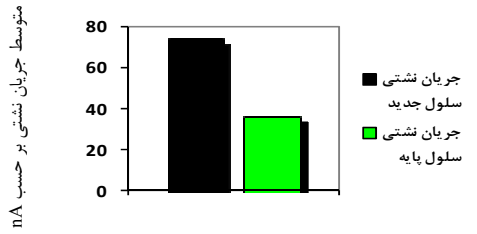
جدول ۱- لیست پارامتر های استفاده شده در سلول جدید و سلول پایه

پارامتر	سلول جدید	سلول پایه
W_1/L_1	1.5µm/0.25µm	0.75µm/0.25µm
W_2/L_2	1.25µm/0.25µm	1µm/0.25µm
W_3/L_3	0. 5µm/0.25µm	0.5µm/0.25µm
W_4/L_4	0. 5µm/0.25µm	1µm/0.25µm
W_5/L_5	0. 5µm/0.25µm	0.5µm/0.25µm
W_6/L_6	---------	0.75µm/0.25µm
V_{tn}	0.5V	0.5V
V_{tp}	-0.5V	-0.5V
$\mu_n C_{OX}$	115×10^{-6} A/V^2	115×10^{-6} A/V^2
$\mu_P C_{OX}$	41×10^{-6} A/V^2	41×10^{-6} A/V^2
V_{Read}	0.3V	0.3V
C_{ST}	8 fF	9 fF
C_{BL}	20 fF	20 fF

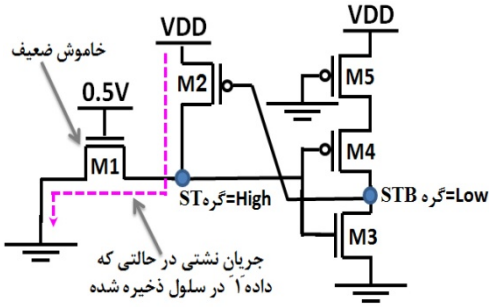
همانطور که قبلاً گفته شد سلول جدید داده خود را با استفاده از فیدبک مثبت و جریان نشتی ترانزیستورها نگهداری می‌کند. بنابراین جریان نشتی سلول جدید بسیار بیشتر از سلول پایه است در شکل ۱۷ متوسط جریان نشتی سلول جدید و سلول پایه با هم مقایسه شده‌اند. دلیل اصلی زیاد بودن متوسط جریان نشتی سلول جدید این است که در حالتی که داده ۱ در سلول ذخیره شده است ترانزیستور M2 سلول روشن است و ترانزیستور دستیابی سلول نیز در حالت خاموشی ضعیف قرار دارد در نتیجه یک جریان از V_{DD} به زمین از طریق ترانزیستورهای دستیابی و M2 برقرار می‌شود و باعث اتلاف توان ایستا می‌شود. این جریان در شکل ۱۸

نمایش داده شده است. بنابراین با کاهش قدرت جریان‌دهی ترانزیستور M2 در حالتی که سلول در حالت بیکاری قرار دارد مقدار این جریان نیز کاهش می‌یابد. یک روش برای کاهش قدرت جریان‌دهی ترانزیستور M2 کاهش ولتاژ سورس-گیت این ترانزیستور است. بنابراین با کاهش ولتاژ V_{DD} سلول ولتاژ سورس-گیت ترانزیستور M2 نیز کاهش می‌یابد و مقدار جریان نشتی که در شکل ۱۸ نمایش داده شده نیز کاهش می‌یابد. به علاوه کاهش ولتاژ V_{DD} سلول باعث کاهش جریان‌های نشتی دیگری از قبیل جریان نشتی گیت و جریان نشتی سورس و درین ترانزیستورها نیز می‌شود [۱۲، ۱۴].

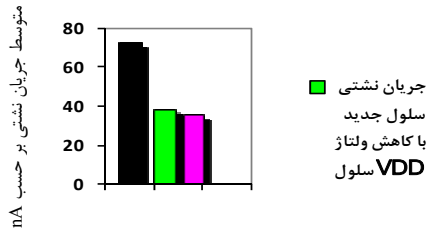
در شکل ۱۹ متوسط جریان نشتی سلول جدید با V_{DD} کاهش یافته و متوسط جریان نشتی سلول پایه با هم مقایسه شده‌اند. همانطور که از شکل ۱۹ مشخص است متوسط جریان نشتی سلول جدید با کاهش V_{DD} از ۲/۵ ولت به ۱/۸ ولت به میزان ۴۷ درصد کاهش می‌یابد و متوسط جریان نشتی سلول جدید با متوسط جریان نشتی سلول پایه تقریباً یکسان می شود. متوسط جریان‌های نشان داده شده در شکل ۱۷ و شکل ۱۹ از طریق شبیه‌سازی و به وسیله HSPICE ۲۰۰۸ به دست آمده‌اند و مشخصات سلول پایه و سلول جدیدی که دراین شبیه‌سازی‌ها استفاده شده‌اند در جدول ۱ آورده شده‌اند.



شکل ۱۷- مقایسه متوسط جریان نشتی شبیه‌سازی شده سلول جدید و سلول



شکل ۱۸- جریان نشتی موجود در سلول جدید در حالتی که داده ۱ در سلول ذخیره شده

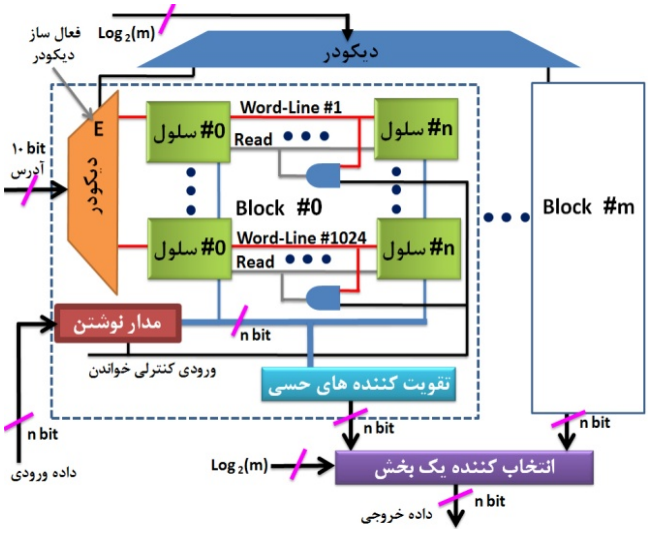


شکل ۱۹- مقایسه متوسط جریان نشتی سلول جدید با کاهش V_{DD} سلول و سلول پایه از طریق شبیه‌سازی

۶- معماری یک SRAM برمبنای سلول جدید

در یک SRAM که از سلول جدید استفاده می‌کند در طول عمل نوشتن زمانی که یک word-line در سطری از آرایهٔ سلول‌ها فعال می‌شود و خط Read برای آن سطر در سطح ولتاژ پایین است، تمام سلول‌هایی که به word-line فعال شده و خط Read متصل هستند عمل نوشتن روی آنها صورت می‌گیرد. در شکل ۲۰ معماری کلی یک SRAM با اندازه m K×n بر مبنای سلول جدید نمایش داده شده است. در این SRAM به ازای هر سیکل نوشتن n بیت داده در سطر انتخابی نوشته می‌شود و به ازای هر سیکل خواندن n بیت داده از سطر انتخابی خوانده می‌شود.

نحوه رمز گشایی آدرس در این SRAM به این صورت است که قسمت کم ارزش آدرس (۱۰ بیت کم ارزش) توسط دیکودر هر Block رمزگشایی می‌شود. همزمان با این عمل قسمت با ارزش آدرس توسط یک دیکودر رمز گشایی می‌شود و دیکودر یک Block را انتخاب می‌کند. به این ترتیب word-line برای کلمه انتخاب شده فعال می‌شود و داده در کلمه انتخاب شده نوشته می‌شود یا از آن خوانده می‌شود.

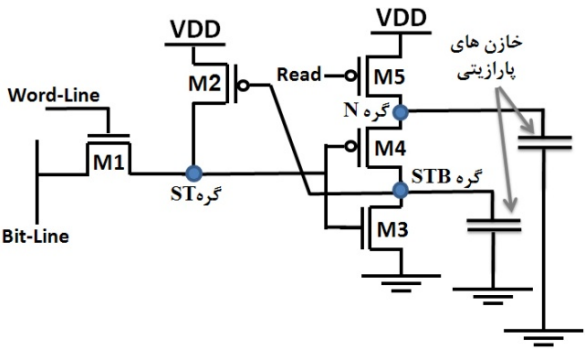


شکل ۲۰- معماری یک SRAM با اندازه m K×n بر مبنای سلول جدید

نکته دیگری که در طراحی SRAM بر مبنای سلول جدید باید به آن توجه داشت این است که در زمانی که داده ۰ در سلول ذخیره است ولتاژ گره STB در سطح V_{DD} است بنابراین اگر در یک عمل خواندن روی سلول انجام شود ترانزیستور قطع کننده خاموش می‌شود و ولتاژ گره STB توسط خازن‌های پارازیتی نشان داده شده در شکل ۲۱ در سطح V_{DD} نگهداشته می‌شود.

اما به دلیل وجود جریان‌های نشتی ترانزیشتور M3 ولتاژ گره STB با گذشت زمان کاهش می‌یابد و باعث روشن شدن ترانزیستور M2 می‌شود و در نتیجه ممکن است داده ذخیره شده در سلول خراب شود. از طرف دیگر زمانی ترانزیستور قطع کننده روشن می‌شود که word-line غیر فعال شود و word-line زمانی غیرفعال می‌شود که ولتاژ bit-line برای خواندن داده ۱ به اندازه کافی افزایش یافته باشد که این به تأخیر bit-line بستگی داد. بنابراین برای عمل کرد درست SRAM نامساوی ۲ در مورد مدت زمان فعال سازی word-line باید برقرار باشد.

(۲) مدت زمان دشارژ گره STB < طول پالس word-line < تأخیر bit-line



شکل ۲۱- خازن‌های پارازیتی که در زمان خواندن داده ۰ گره STB در سطح High نگهداری می‌کنند

۷- نتیجه

برای طراحی SRAMها با تراکم بالا و سرعت زیاد به سلول‌هایی نیاز است که مساحت کمی از سطح تراشه را اشغال کنند و عمل خواندن یا نوشتن با تأخیر کمی انجام دهند. برای رسیدن به این SRAMها ما در این مقاله یک سلول جدید ارائه کردیم که از پنج ترانزیستور تشکیل شده است. این سلول جدید دارای یک word-line و یک bit-line است و داده خود را بدون استفاده از سیکل‌های تازه سازی نگهداری می‌کند. در قوانین طراحی Layout یکسان سلول جدید ۱۸ در صد مساحت کمتری نسبت به سلول شش ترانزیستوری پایه اشغال می‌کند و میانگین تأخیر خواندن و نوشتن آن ۲۷ درصد از سلول پایه کمتر است. در سلول شش ترانزیستوری پایه حاشیه نویز ایستای خواندن و جریان سلول دارای یک رابطه معکوس با یکدیگر هستند. بنابراین با افزایش جریان سلول به منظور بهبود سرعت، حاشیه نویز ایستای خواندن کاهش می‌یابد و ممکن است در زمان انجام عمل خواندن داده سلول عوض شود. اما در سلول جدید حاشیه نویز ایستای خواندن از جریان سلول جدا شده است و هر یک را می‌توان به طور جداگانه برای سلول جدید مشخص کرد.

مراجع

[1] D. A. Patterson, and J. L. Hennssy, *Computer Organization & Design: The Hardware / Software Interface,* 3nd ed., Morgan Kaufmann, 2004.

[۲] آ. عزیزی مزرعه، و م. ت. منظوری، "طراحی و تحلیل یک SRAM کم مصرف،" *مجموعه مقالات پانزدهمین کنفرانس مهندسی برق ایران*، ۱۳۸۶.

[۳] آ. عزیزی مزرعه، و م. ت. منظوری، "یک سلول چهار ترانزیستوری جدید SRAM با توان مصرفی کم،" *مجموعه مقالات سیزدهمین کنفرانس ملی انجمن کامپیوتر ایران*، ۱۳۸۶.

[4] A. Azizi Mazreah, M. T. Manzuri, R. Noormandi, and A. Mehrparvar, "A Novel Zero-Aware Read-Static-Noise-Margin-Free SRAM Cell for High Density and High Speed Cache Application," *Proc. 9th International Conference on Solid-State and Integrated-Circuit Technology*, pp. 876–879, 2008.

[5] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, Y. Nakazawa, T. Ishii, and H. Kobatake, "A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 1, pp. 113-121, 2006.

[6] L. Chang, D.M. Fried, J. Hergenrother, J.W. Sleight, R. H. Dennard, R.K. Montoye, L. Sekaric, S.J. McNab, A.W. Topol, C.D. Adams, K.W. Guarini, and W. Haensch, "Stable SRAM cell design for the 32 nm node and beyond," *Proc. Symp. VLSI Technology Dig.*, pp. 128–129, 2005.

[7] E. Seevinck, F.J List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 2, pp. 748-754, 1987.

[8] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, "A 3-GHz 70 Mb SRAM in 65 nm CMOS technology with integrated column- based dynamic power supply", *IEEE ISSCC Dig. Tech. Papers*, Vol. 1, pp. 474–611, 2005.

[9] A. Azizi Mazreah, M. T. Manzuri, H. Barati, and A. Barati, "A novel four-transistor SRAM cell with low dynamic power consumption", *Journal of Electronics, Circuits and Systems*, Vol. 2, No. 3, 2008.

[10] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective,* 2nd ed., Prentice Hall, 2002.

[11] K. Martin, *Digital Integrated Circuit Design,* Oxford University Press, 2000.

[12] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, "16.7-fA/cell tunnel-leakage-suppressed 16-Mb SRAM for handling cosmic-ray-induced multierrors," *IEEE J. Solid-State Circuits*, Vol. 38, No. 11, pp. 1952-1957, 2003.

[13] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, "SRAM Design on 65-nm CMOS Technology With Dynamic Sleep Transistor for Leakage Reduction," *IEEE J. Solid-State Circuits*, Vol. 40, No. 4, pp. 895-901, 2005.

[14] A. Kotabe, K. Osada, N. Kitai, M. Fujioka, S. Kamohara, M. Moniwa, S. Morita, and Y. Saitoh, "A Low-Power Four-Transistor SRAM Cell With a Stacked Vertical Poly-Silicon PMOS and a Dual-Word-Voltage Scheme," *IEEE J. Solid-State Circuits*, Vol. 40, No. 4, pp. 870-876, 2005.

آرش عزیزی مزرعه مدرک کارشناسی مهندسی سخت‌افزار و کارشناسی ارشد مهندسی معماری کامپیوتر خود را بترتیب در سال‌های ۱۳۸۳و ۱۳۸۶ دریافت نمود. ایشان هم اکنون دانشجوی دکترای مهندسی سخت‌افزار و عضو هیئت علمی دانشگاه آزاد اسلامی، واحد سیرجان است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارات VLSI کم مصرف و سرعت بالا، حساب کامپیوتر و طراحی حافظه‌های نهان با تراکم بالا و توان مصرفی کم.

آدرس پست الکترونیکی ایشان عبارت است از:
aazizi@iausirjan.ac.ir

محمدتقی منظوری شلمانی مدرک کارشناسی و کارشناسی‌ارشد خود را در رشته مهندسی برق، الکترونیک بترتیب در سال‌های ۱۳۶۵و ۱۳۶۸ از دانشکده مهندسی برق دانشگاه صنعتی شریف دریافت نمود. همچنین مدرک دکترای خود را در رشته مهندسی برق و کامپیوتر از دانشگاه صنعتی Wien اتریش در سال ۱۹۹۵ میلادی دریافت کرد. ایشان در حال حاضر عضو هیئت علمی دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف هستند. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارات دیجیتال، پردازش سیگنال‌های صوتی و تصویری و رمزنگاری.

آدرس پست الکترونیکی ایشان عبارت است از:
manzuri@sharif.com